



# Digitalna elektronska kola

**Marko Dimitrijević, Dragan Mančić**

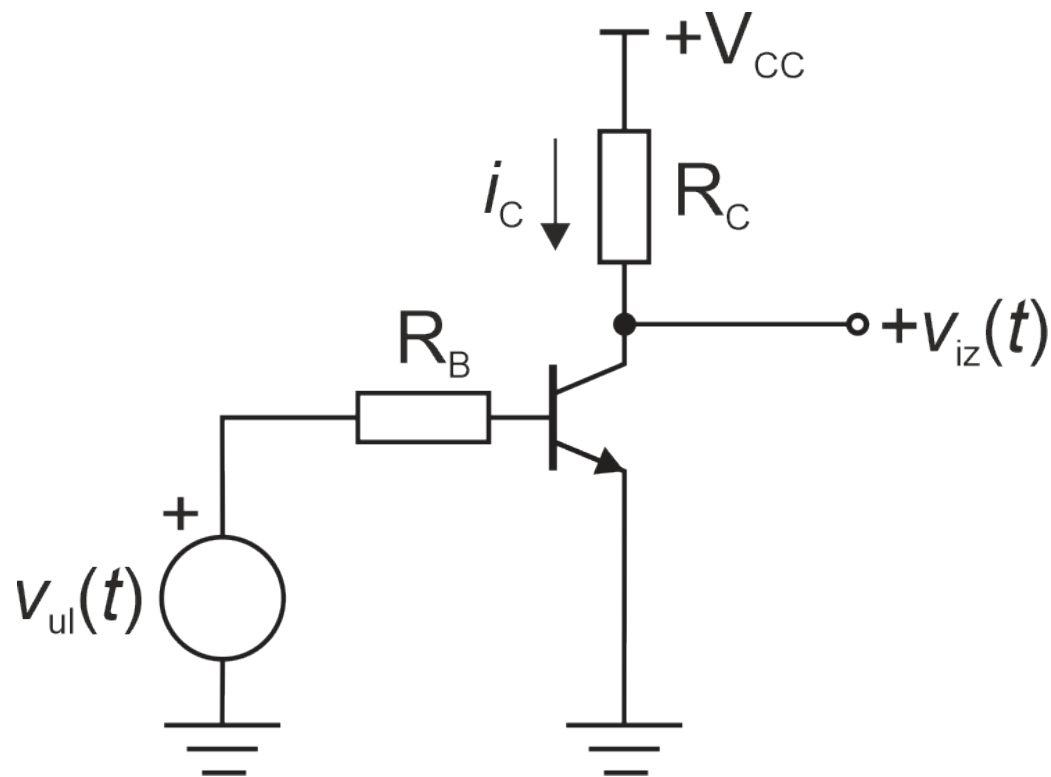
# Uvod

- **Digitalna elektronska kola** predstavljaju kola u kojima naponi čvorova imaju diskretne, binarne vrednosti koje se interpretiraju kao **logička stanja**: naponski nivo u blizini referentne vrednosti se obično interpretira kao **logička 0**, a nivo čija je vrednost približna naponu napajanja kao **logička 1**. Signali koje obrađuju digitalna kola su **digitalni signali**.
- Najmanji deo digitalnog kola koji obavlja jednu **logičku funkciju** se naziva **elementarno logičko kolo** ili **logička ćelija** (*logic gate*).
- Svaka logička ćelija, a samim tim i svako digitalno kolo je **realizovano od tranzistora**, tako da se ona mogu analizirati i na **električnom, tranzistorskom nivou** (analognom analizom) i na **logičkom nivou** (logičkom analizom).

# Uvod

- **Digitalna kola** pripadaju grupi **impulsnih elektronskih kola**, u kojima tranzistori rade kao **naponom kontrolisani prekidači** u **režimima zakočenja i zasićenja** (bipolarni tranzistor) odnosno **režimu zakočenja i triodnom režimu** (MOSFET).
- Logičke ćelije mogu biti realizovane u **bipolarnoj** (RTL, TTL, ECL) ili **MOSFET** (PMOS, NMOS, CMOS) tehnologiji.
- Ćelije različitih funkcija realizovane u **istoj tehnologiji** čine jednu **familiju logičkih ćelija**.
- Ćelije **iste funkcije** (AND, OR, NOT,...), bez obzira na familije kojima pripadaju, čine isti **tip logičke ćelije**.

# Bipolarni tranzistor kao kontrolisani prekidač

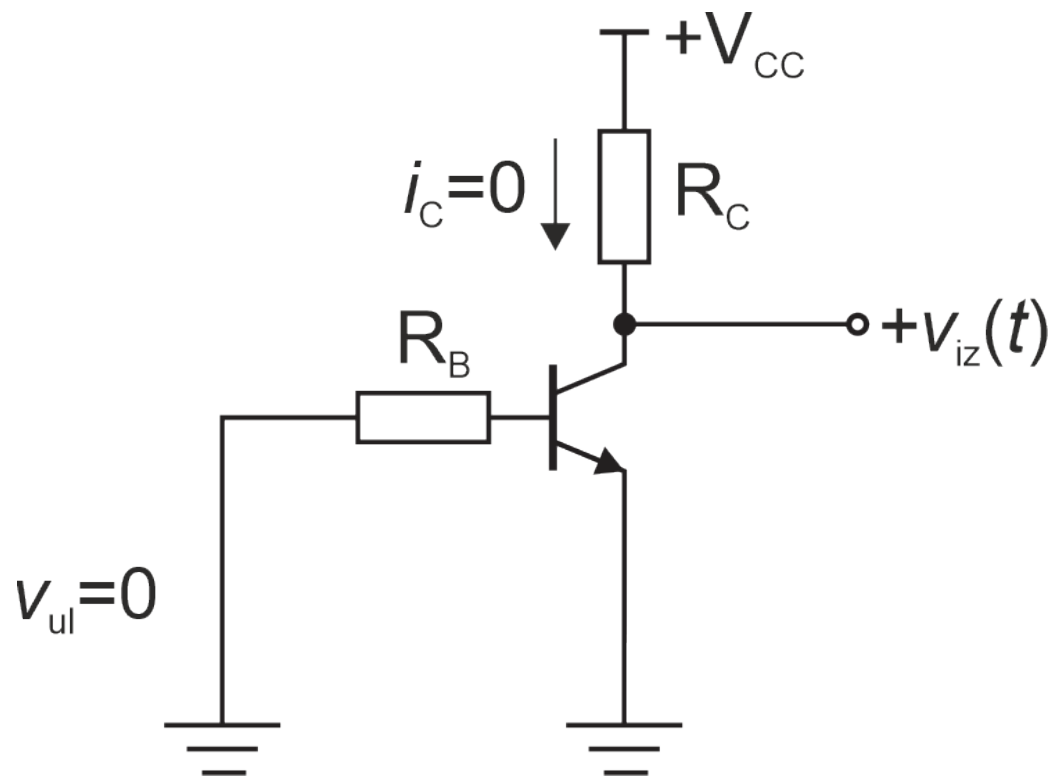


- Režimi zakočenja i zasićenja bipolarnog tranzistora se mogu iskoristiti za realizaciju **naponom kontrolisanog prekidača**.

- Napon na izlazu kola je:

$$v_{iz}(t) = V_{CC} - i_C R_C$$

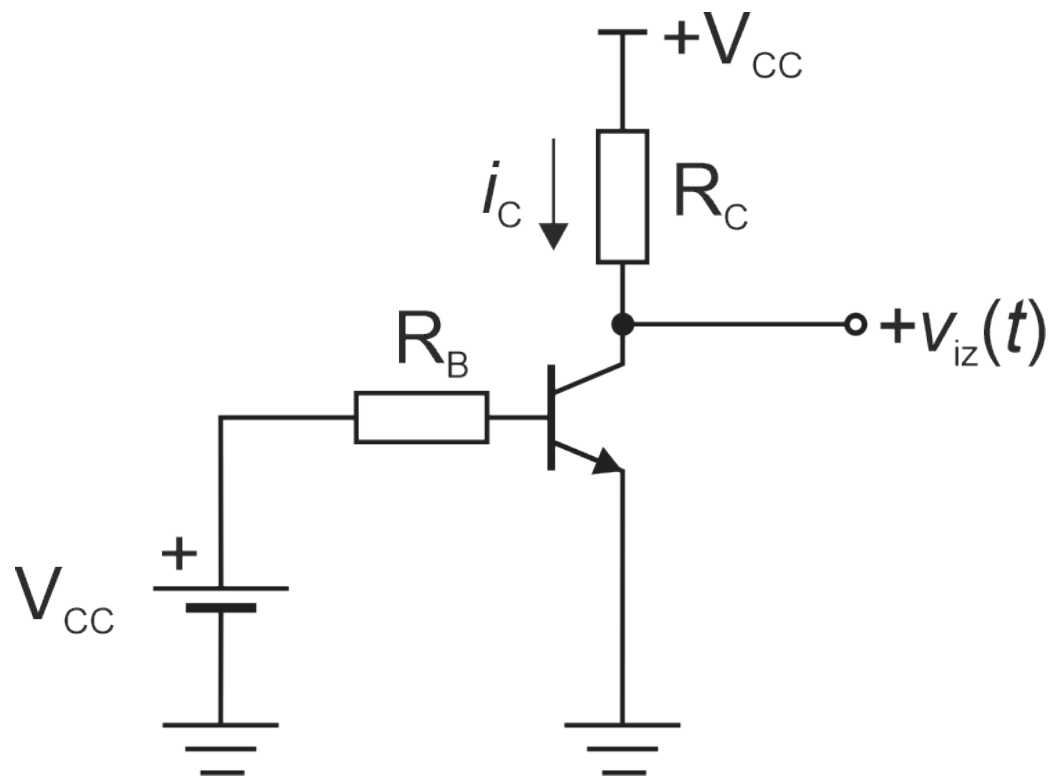
# Bipolarni tranzistor kao kontrolisani prekidač



- Ukoliko je  $v_{ul}(t) = 0$ , tada je  $V_{BE} = 0$  i  $V_{CB} > 0$ , bipolarni tranzistor je u režimu zakočenja. Kolektorska struja  $i_C$  je jednaka nuli, a pad napona na otporniku  $R_C$  je nula, tako da je:

$$v_{iz}(t) = V_{CC}$$

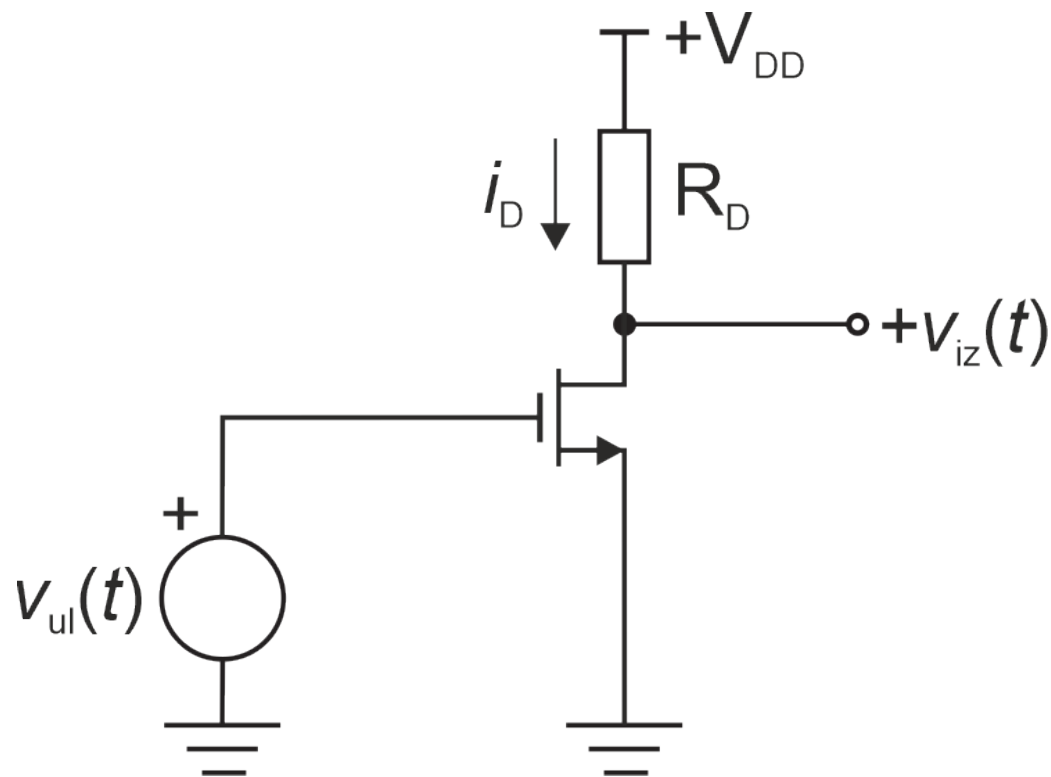
# Bipolarni tranzistor kao kontrolisani prekidač



- Ukoliko je  $v_{ul}(t) = V_{CC}$ , tada je  $V_{BE} > 0$ , kolektorska struja  $i_C$  je velika, tako da je pad napona na otporniku  $R_C$  približno jednak  $V_{CC}$ . Napon  $V_{CB} < 0$  i bipolarni tranzistor je u režimu zasićenja. Izlazni napon je:

$$v_{iz}(t) \approx 0$$

# MOSFET (NMOS) kao kontrolisani prekidač

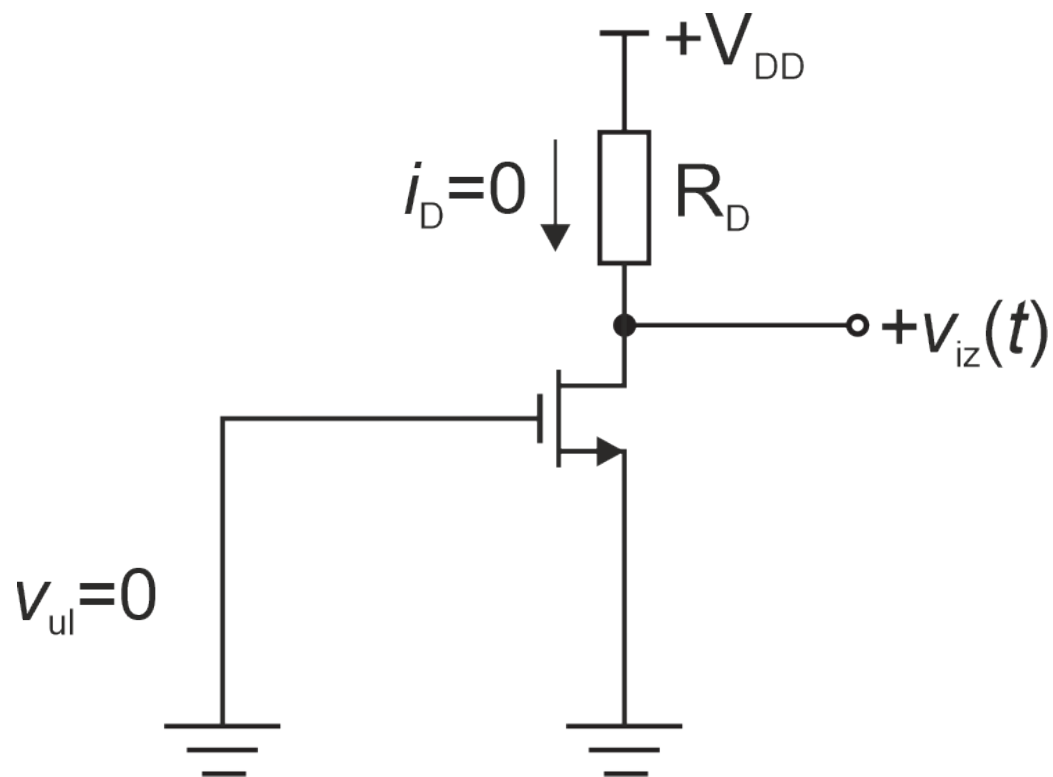


- Režim zakočenja i triodni režim MOSFET tranzistora se mogu iskoristiti za realizaciju **naponom kontrolisanog prekidača**.

- Napon na izlazu kola je:

$$v_{iz}(t) = V_{DD} - i_D R_D$$

# MOSFET (NMOS) kao kontrolisani prekidač

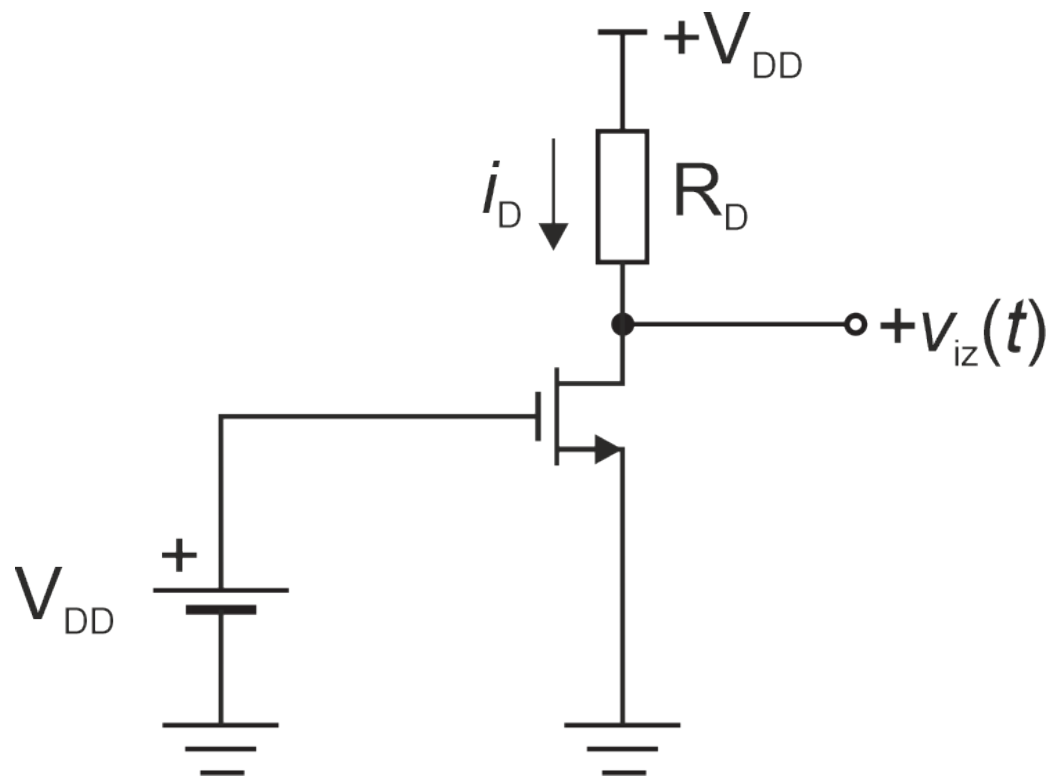


- Ukoliko je  $v_{ul}(t)=0$ , tada je  $V_{GS} - V_{TH} < 0$ , MOSFET je u režimu **zakočenja**. Struja drejna (kanala)  $i_D$  je jednaka nuli, a pad napona na otporniku  $R_D$  je nula, tako da je:

$$v_{iz}(t) = V_{DD}$$



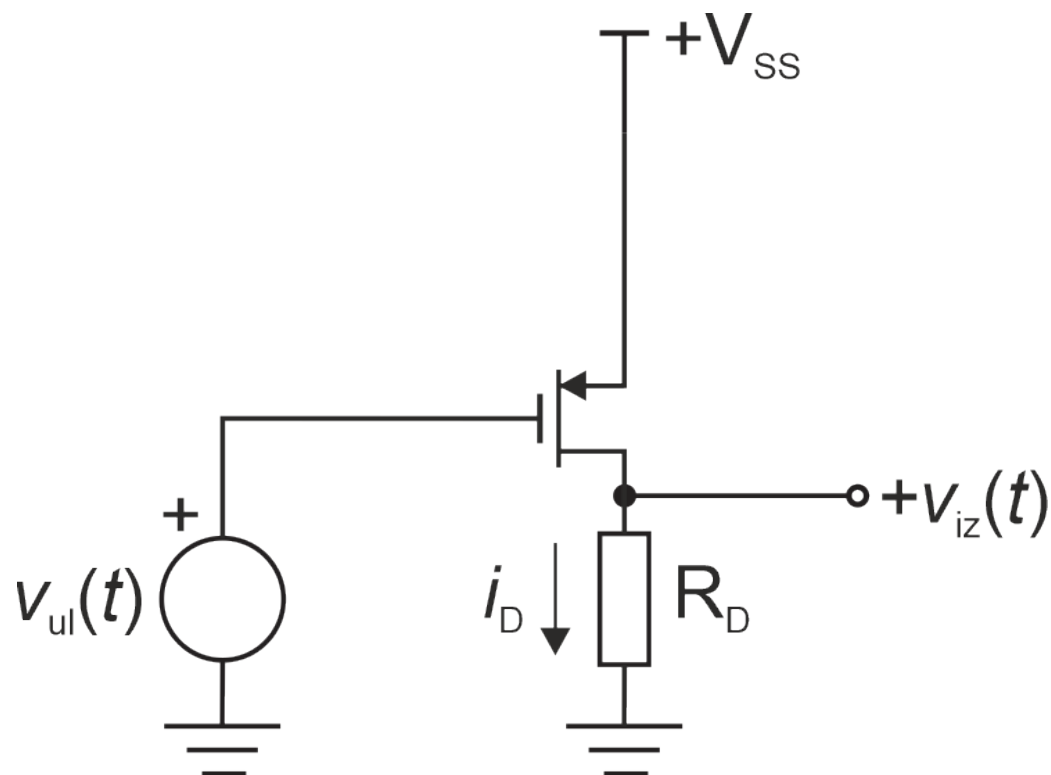
# MOSFET (NMOS) kao kontrolisani prekidač



- Ukoliko je  $v_{ul}(t) = V_{DD}$ , tada je  $V_{GS} - V_{TH} > 0$ , struja kanala  $i_D$  je velika, tako da je pad napona na otporniku  $R_D$  približno jednak  $V_{DD}$ . MOSFET je u **triodnom režimu**. Izlazni napon je:

$$v_{iz}(t) \approx 0$$

# MOSFET (PMOS) kao kontrolisani prekidač

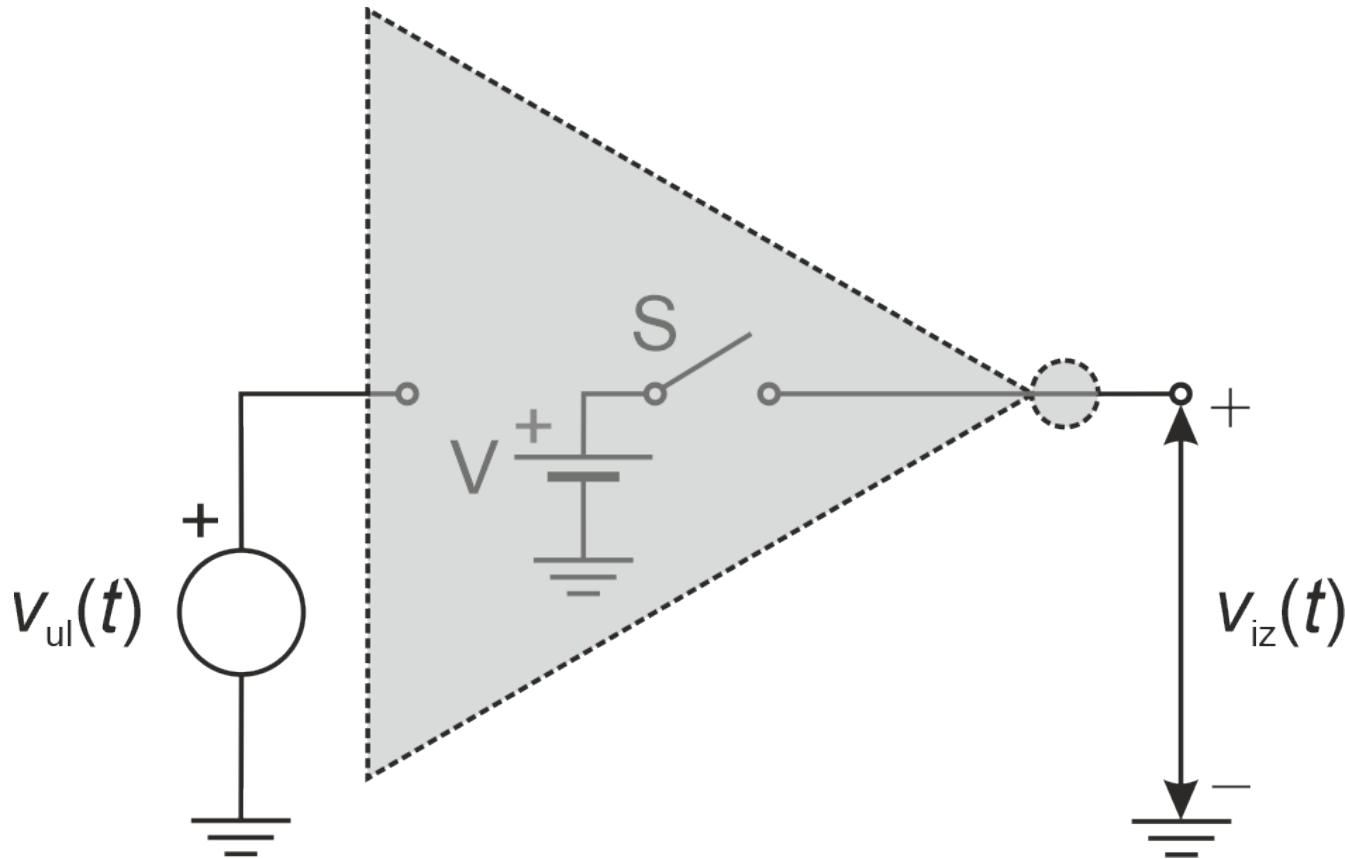


- P-kanalni MOSFET (PMOS) ima iste osobine kao i n-kanalni, ali su naponi suprotnog polariteta i fizički smer struje kanala je suprotan.
- Sors je na najvišem potencijalu,  $V_{SS}$ .
- Kada je napon  $v_{ul}(t)=0$  ( $V_{GS} - V_{TH} < 0$ ), PMOS je u **triodnom režimu**. Struja  $i_D$  je velika, a napon  $v_{iz}(t)=V_{SS}$ .
- Kada je  $v_{ul}(t)=V_{SS}$  ( $V_{GS} - V_{TH} > 0$ ), PMOS je u **režimu zakočenja**. Struja  $i_D$  je jednaka nuli, a napon  $v_{iz}(t)=0$ .

# Režimi N-MOS i P-MOS tranzistora

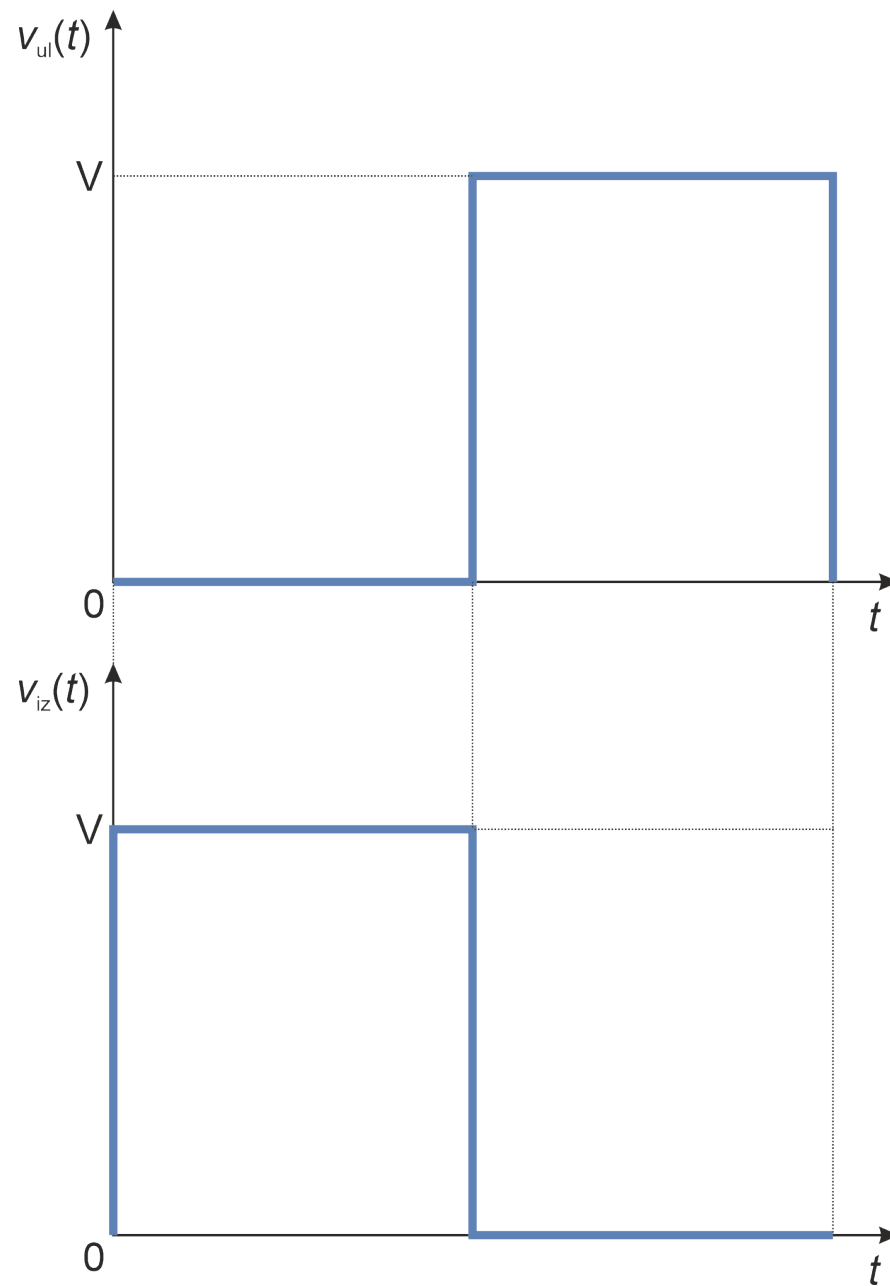
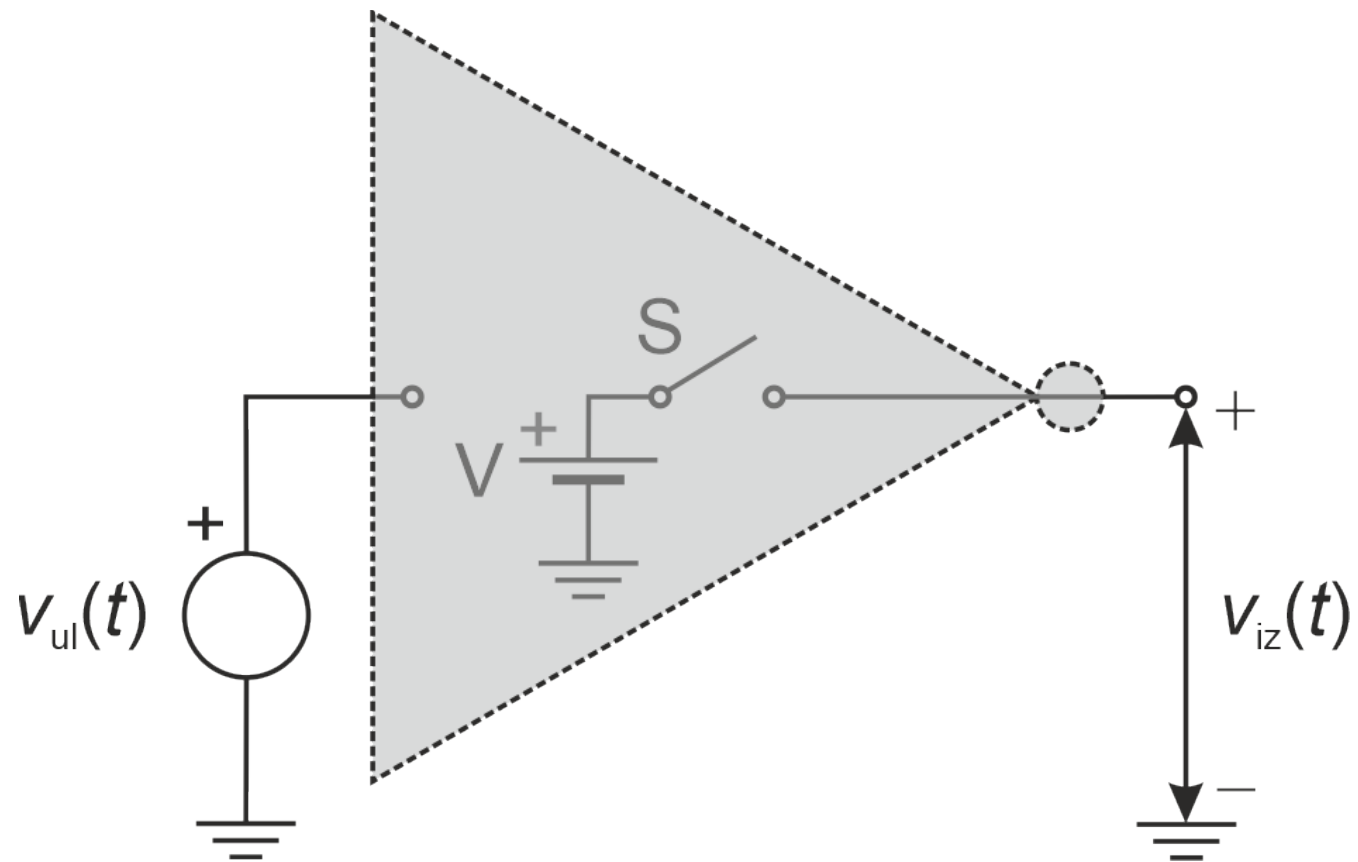
- Polarizacija tranzistora, režim **zakočenja**:
  1. N-MOS:  $V_{GS} - V_{TH} < 0$ ,  $V_{TH}$  je pozitivan;
  2. P-MOS:  $V_{GS} - V_{TH} > 0$ ,  $V_{TH}$  je negativan;
  
- Polarizacija tranzistora, **triodni** režim:
  1. N-MOS:  $V_{GS} - V_{TH} > 0$ ,  $V_{DS} < V_{GS} - V_{TH}$ ,  $V_{TH}$  je pozitivan, drejn je na višem potencijalu od sorsa ( $V_{DS} > 0$ );
  2. P-MOS:  $V_{GS} - V_{TH} < 0$ ,  $V_{DS} > V_{GS} - V_{TH}$ ,  $V_{TH}$  je negativan, drejn je na nižem potencijalu od sorsa ( $V_{DS} < 0$ );

# Invertor



- Predstavljena kola se mogu aproksimirati modelom idealnog prekidača.
- Kada je  $v_{ul}(t)=V$  prekidač **S** je **otvoren** i  $v_{iz}(t)=0$ , kada je  $v_{ul}(t)=0$  prekidač je **zatvoren** i  $v_{iz}(t)=V$ .
- Kolo koje ispoljava ovu funkciju se naziva **invertor**.

# Invertor



# Complementary Metal Oxide Semiconductor – CMOS

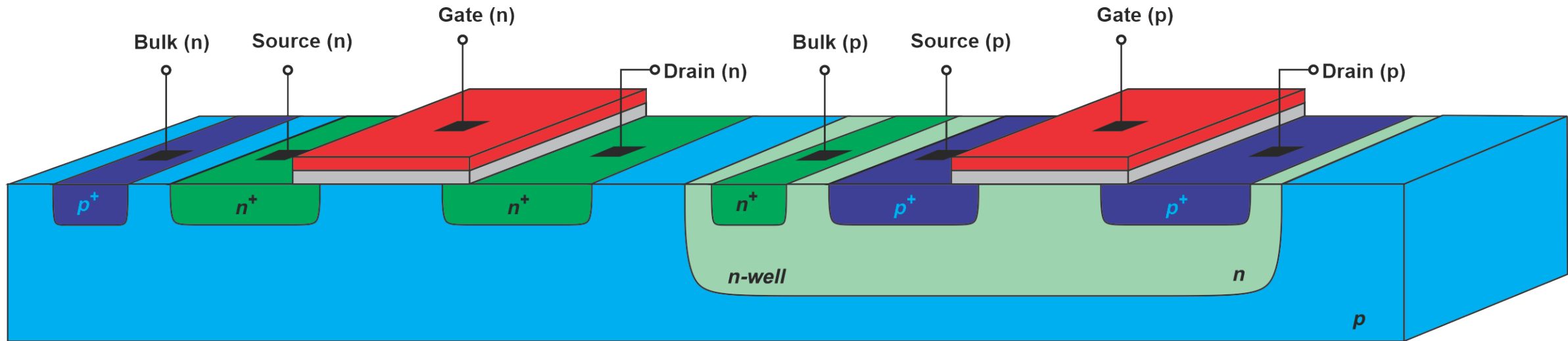
- **Complementary Metal Oxide Semiconductor – CMOS** je najzastupljenija tehnologija izrade digitalnih integrisanih kola.
- CMOS koristi komplementarne i simetrične parove tranzistora. Na istoj poluprovodničkoj osnovi su realizovani N- i P-kanalni (N-MOS i P-MOS) tranzistori.
- Osim digitalnih integrisanih kola (mikroprocesora, mikrokontrolera, memorijskih čipova), CMOS tehnologija se koristi za izradu analognih integrisanih kola poput senzora slike (CMOS senzori), A/D i D/A konvertora, visokofrekventnih kola (RF CMOS) i primopredajnika visokog stepena integracije za bežične telekomunikacije.

# Complementary Metal Oxide Semiconductor – CMOS

- Dve važne karakteristike kola izrađenih u CMOS tehnologiji su **velika otpornost na šumove** i **mala statička potrošnja energije**.
- Budući da je jedan tranzistor u CMOS paru uvek u režimu zakočenja, redna veza tranzistora samo u kratkom prelaznom režimu troši energiju tokom prebacivanja između stanja. Zbog toga CMOS kola imaju malu disipaciju u poređenju sa logičkim kolima drugih familija, poput NMOS ili bipolarnih (TTL) kola, kod kojih postoji konstantna struja (samim tim i potrošnja) i kada kolo ne menja stanje.
- Ove karakteristike omogućavaju velike stepene integracije (VLSI/ULSI) kola u CMOS tehnologiji. Prvenstveno iz ovog razloga CMOS je postao najčešće korišćena tehnologija koja se primenjuje u VLSI/ULSI čipovima.

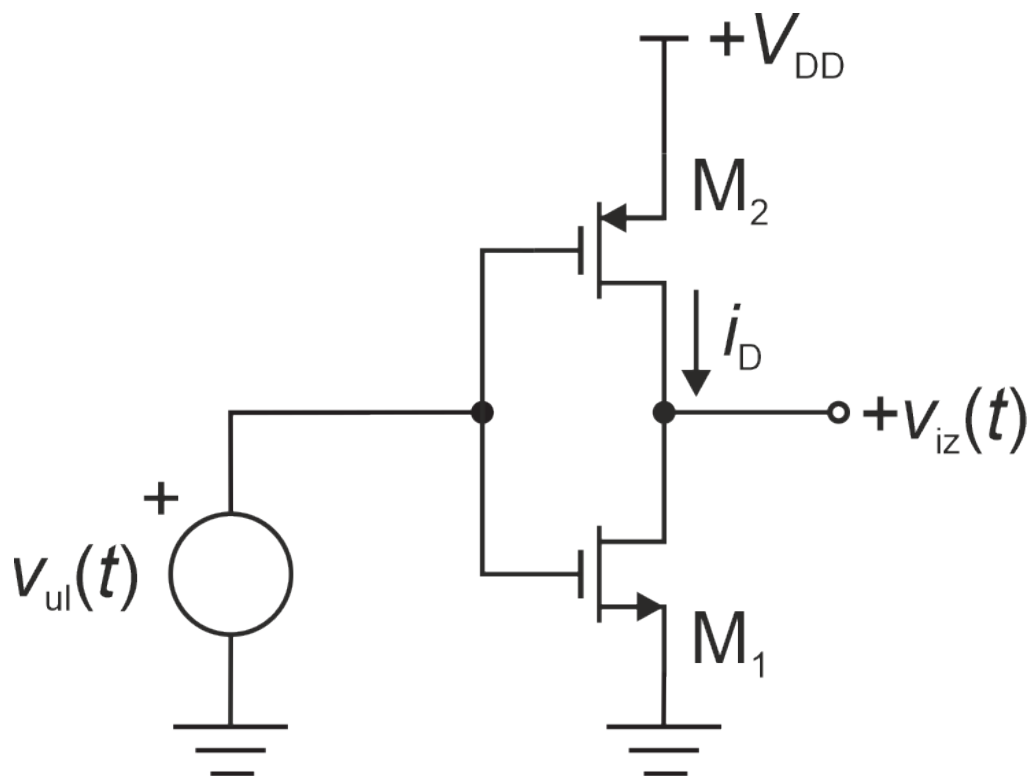
# Complementary Metal Oxide Semiconductor – CMOS

- Fizička realizacija CMOS para tranzistora: P-MOS je izrađen u poluprovodničkoj oblasti koja se naziva *n-well*.



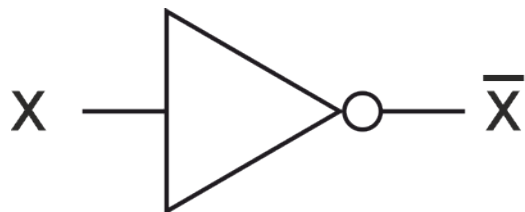


# CMOS inverter

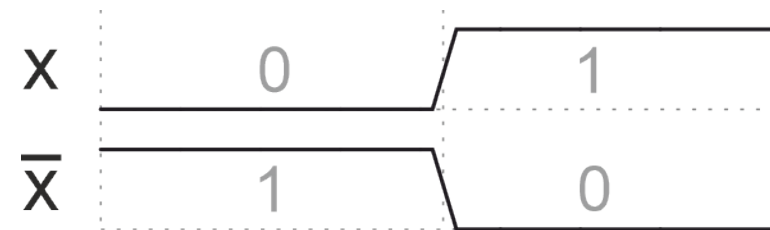


- **CMOS inverter** sadrži N-MOS ( $M_1$ ) i P-MOS ( $M_2$ ) tranzistor.
- Kada je napon  $v_{ul}(t)=0$   $M_2$  je u **triodnom režimu**, a  $M_1$  u režimu **zakočenja**,  $v_{iz}(t)=V_{DD}$ .
- Kada je  $v_{ul}(t)=V_{DD}$   $M_1$  je u **triodnom režimu**, a  $M_2$  u režimu **zakočenja**,  $v_{iz}(t)=0$ .
- Struja  $i_D$  je zajednička struja kanala  $M_1$  i  $M_2$ . U oba slučaja je vrlo mala, jer su kanali redno vezani i jedan tranzistor je uvek u režimu zakočenja.

# Logički simbol, tabela istinitosti i talasni oblici signala



Simbol invertora



Oblici signala

x	$\bar{x}$
0	1
1	0

Tabela istinitosti

- Invertor je logička ćelija koja vrši operaciju **logičke negacije**.
- Logička negacija je unarna operacija – postoji samo jedan operand, tj. invertor ima samo jedan ulaz.

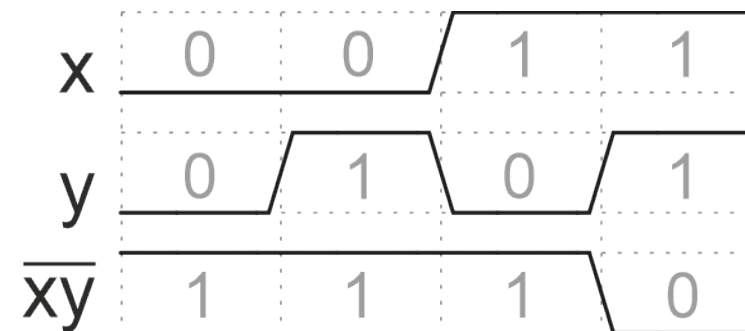
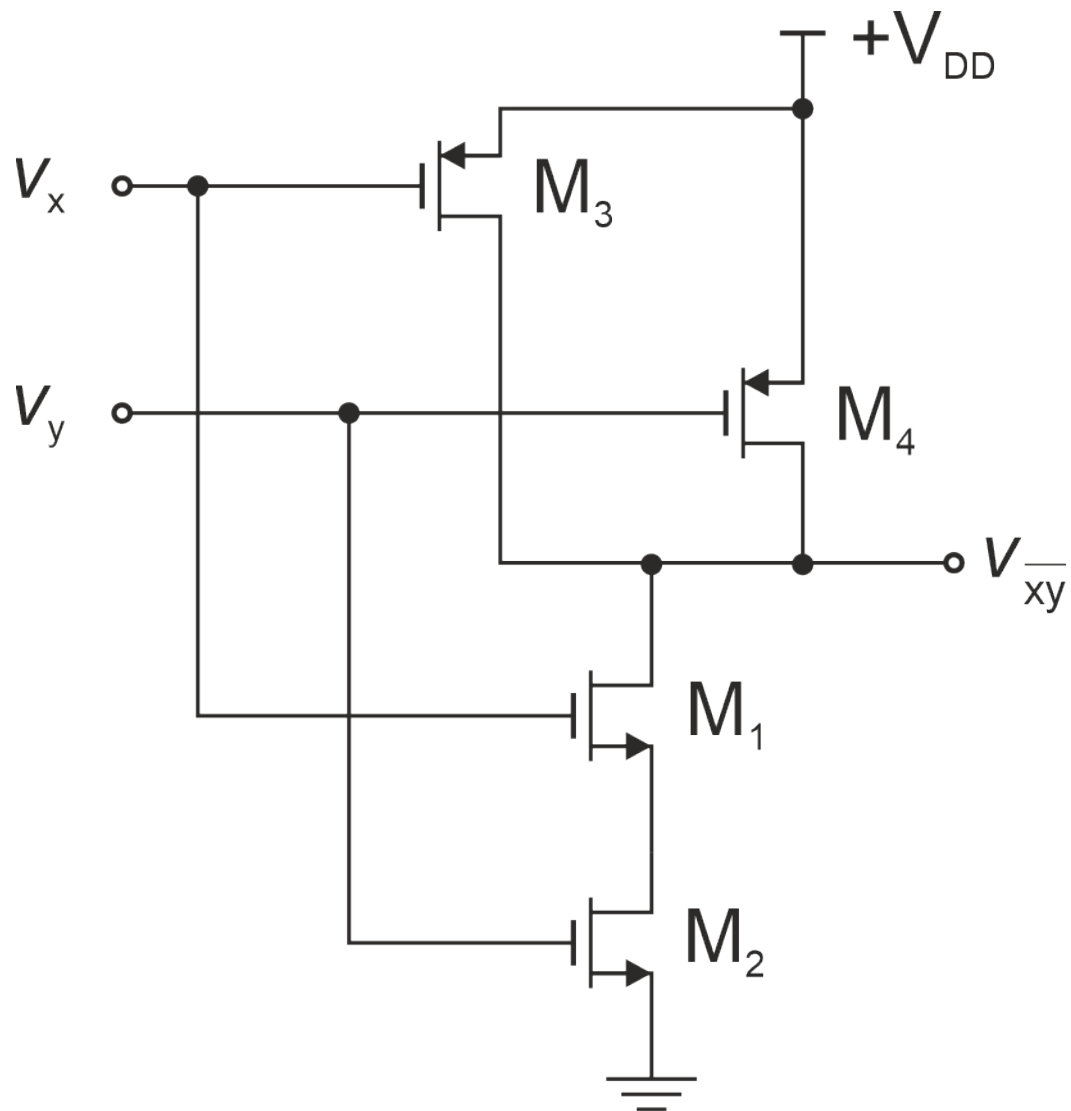
# Logičke funkcije i operacije

- Logičku ćeliju karakteriše niz fizičkih i električnih parametara, kao što su potrošnja energije, disipacija, kašnjenje signala, pragovi promena stanja, opteretivost (*fan out*) itd.
- Prilikom projektovanja digitalnih sistema, prvo se sprovodi logička sinteza u kojoj se razmatra logička funkcija ćelije. Električne i fizičke karakteristike se razmatraju u kasnijim fazama realizacije.
- U procesu analize i sinteze digitalnih kola, naponi na ulazima i izlazima kola se predstavljaju **logičkim stanjima**. Funkcija ćelije se izražava kao **logička, Bulova ili prekidačka funkcija**.

# Logičke funkcije i operacije

- Bilo koja logička funkcija se može realizovati pomoću elementarnih logičkih operacija. Pored **negacije (NOT)**, u elementarne logičke operacije spadaju i **I (AND)**, **ILI (OR)**, **ISKLJUČIVO ILI (XOR)**, **NI (NAND)** i **NILI (NOR)** operacije.
- Skup elementarnih logičkih operacija, kojima se može realizovati svaka logička funkcija je **potpuni skup logičkih operacija**. Operacije **NOR** i **NAND** su **univerzalne logičke operacije**, koje same čine potpuni skup.
- Da bi se realizovalo digitalno elektronsko kolo sa proizvoljnom funkcijom u određenoj tehnologiji, neophodno je realizovati familiju logičkih ćelija koje implementiraju sve operacije iz potpunog skupa.

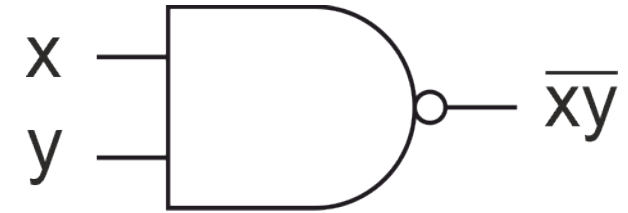
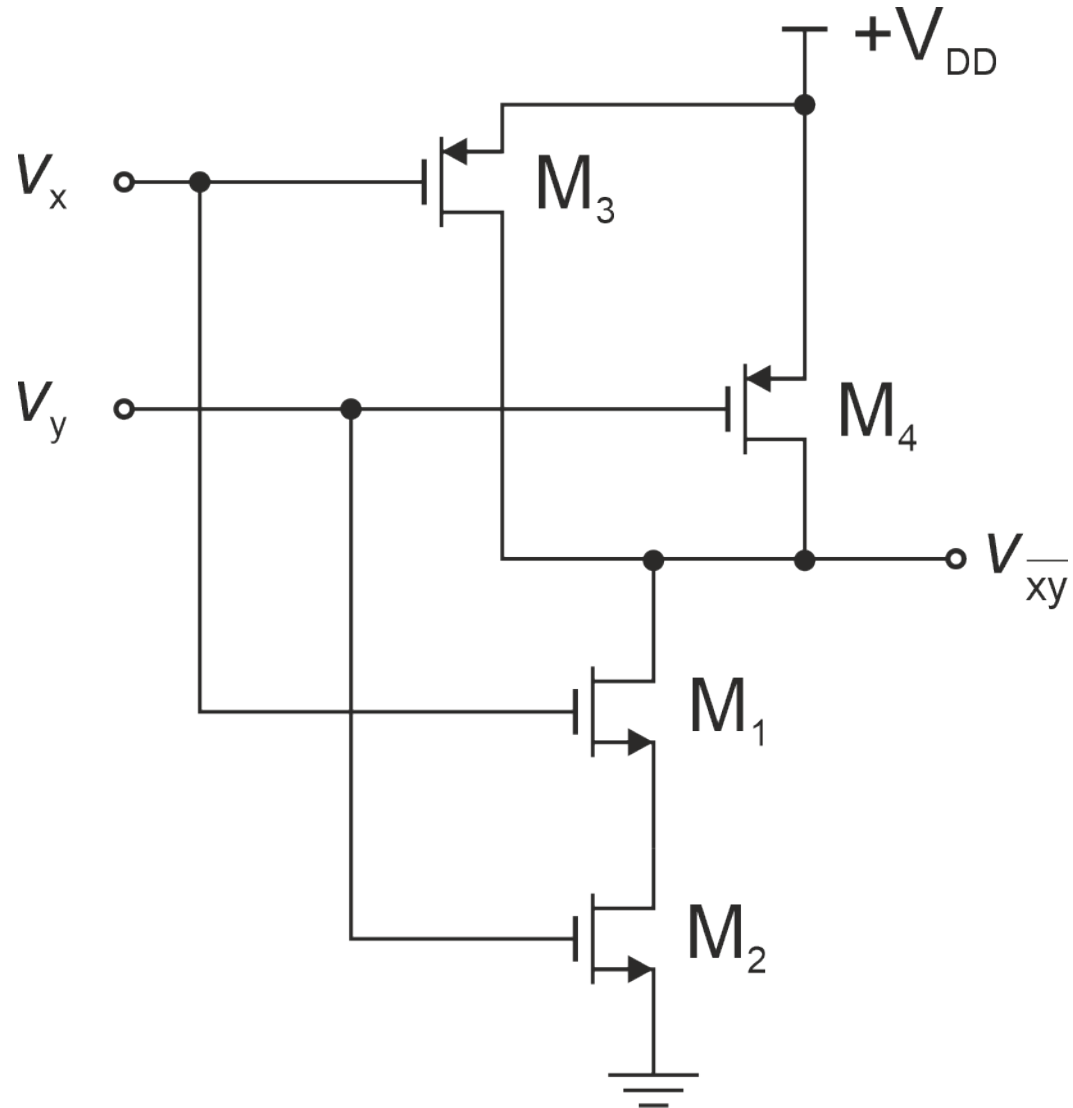
# CMOS NAND



zasićenje  $M_3, M_4$   $M_2, M_3$   $M_1, M_4$   $M_1, M_2$   
 zakočenje  $M_1, M_2$   $M_1, M_4$   $M_2, M_3$   $M_3, M_4$

- NAND kola sa više ulaza se mogu realizovati vezivanjem parova tranzistora paralelno sa  $M_3, M_4$  i redno sa  $M_1, M_2$ .

# CMOS NAND

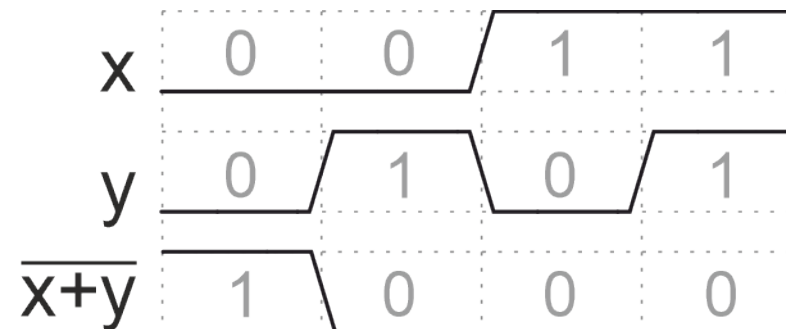
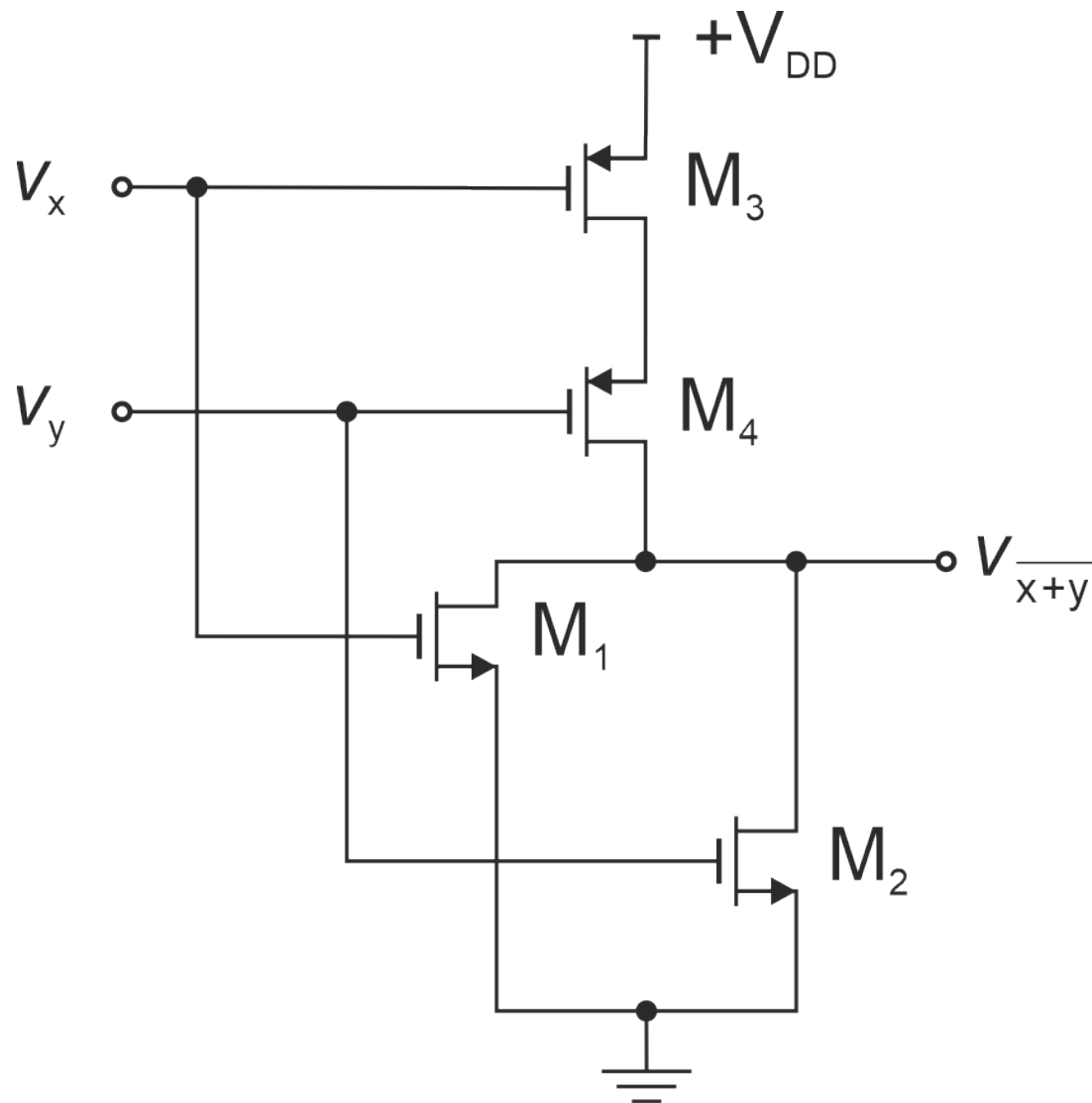


Simbol

x	y	$\overline{xy}$
0	0	1
0	1	1
1	0	1
1	1	0

Tabela istinitosti

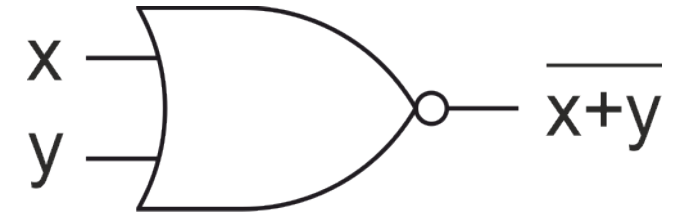
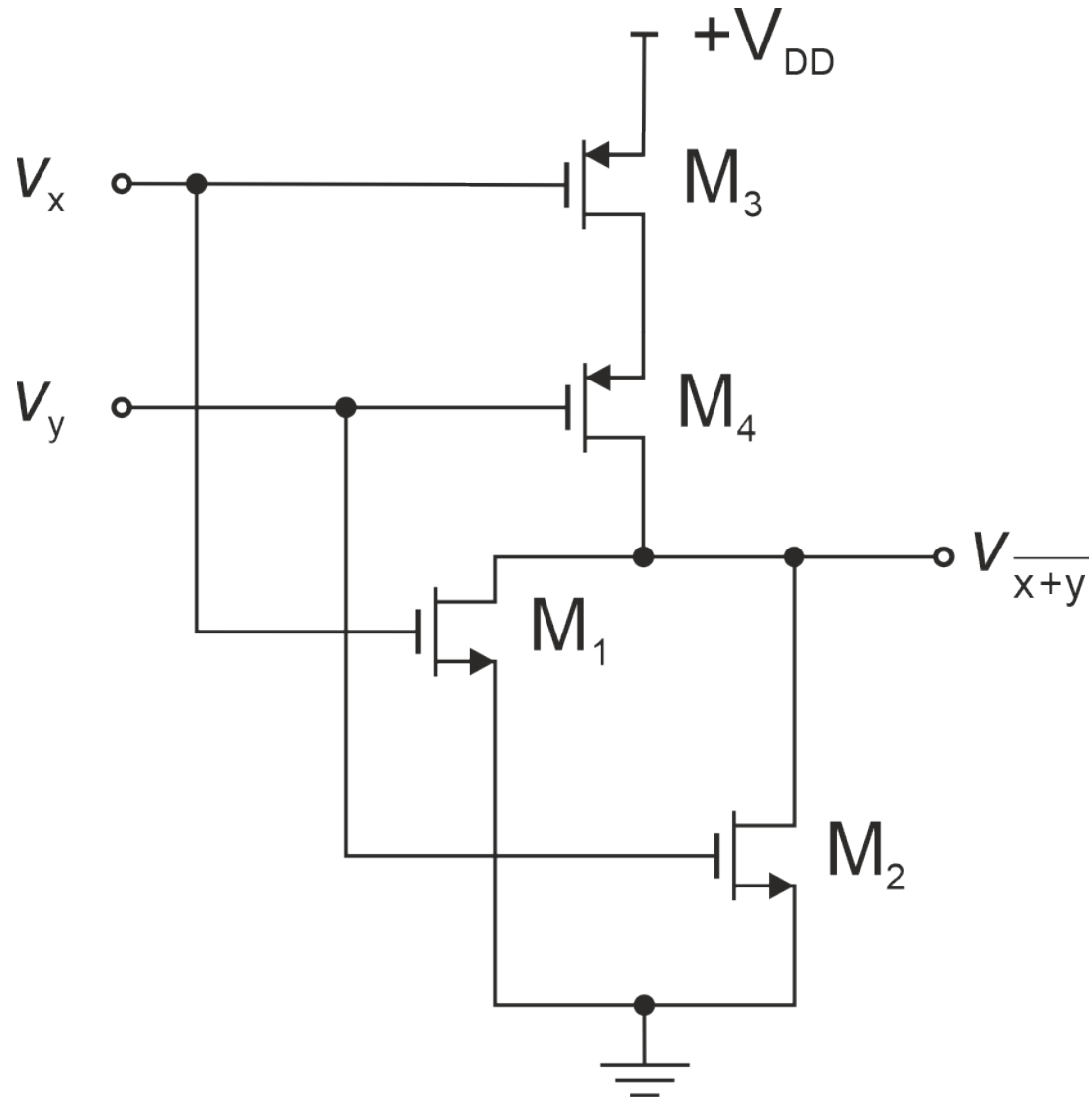
# CMOS NOR



zasićenje  $M_3, M_4$   $M_2, M_3$   $M_1, M_4$   $M_1, M_2$   
 zakočenje  $M_1, M_2$   $M_1, M_4$   $M_2, M_3$   $M_3, M_4$

- NOR kola sa više ulaza se mogu realizovati vezivanjem parova tranzistora redno sa  $M_3, M_4$  i paralelno sa  $M_1, M_2$ .

# CMOS NOR



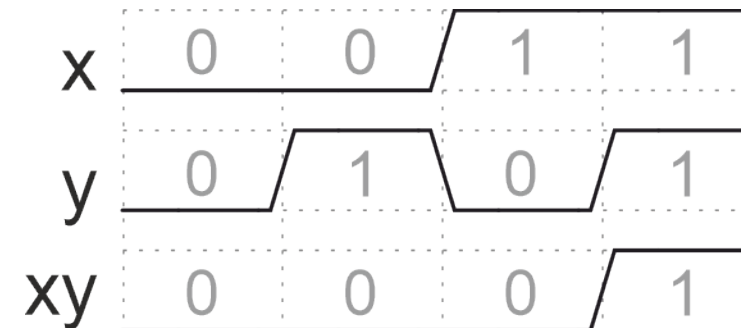
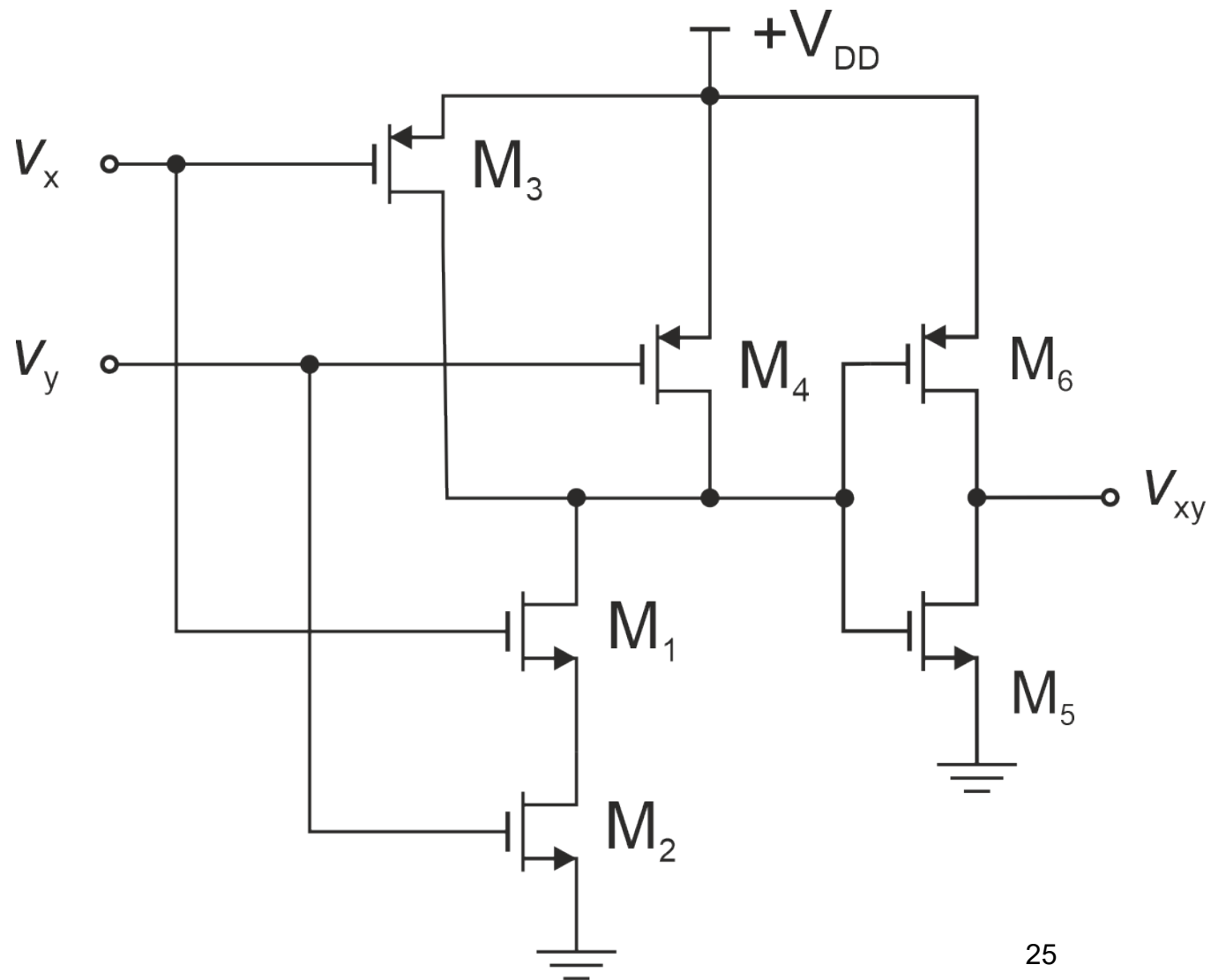
Simbol

$x$	$y$	$\overline{x+y}$
0	0	1
0	1	0
1	0	0
1	1	0

Tabela istinitosti

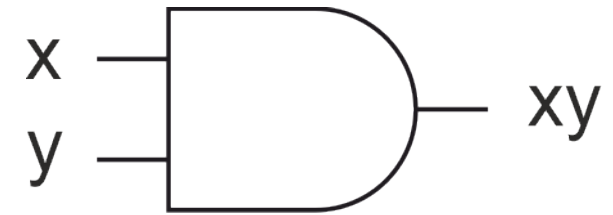
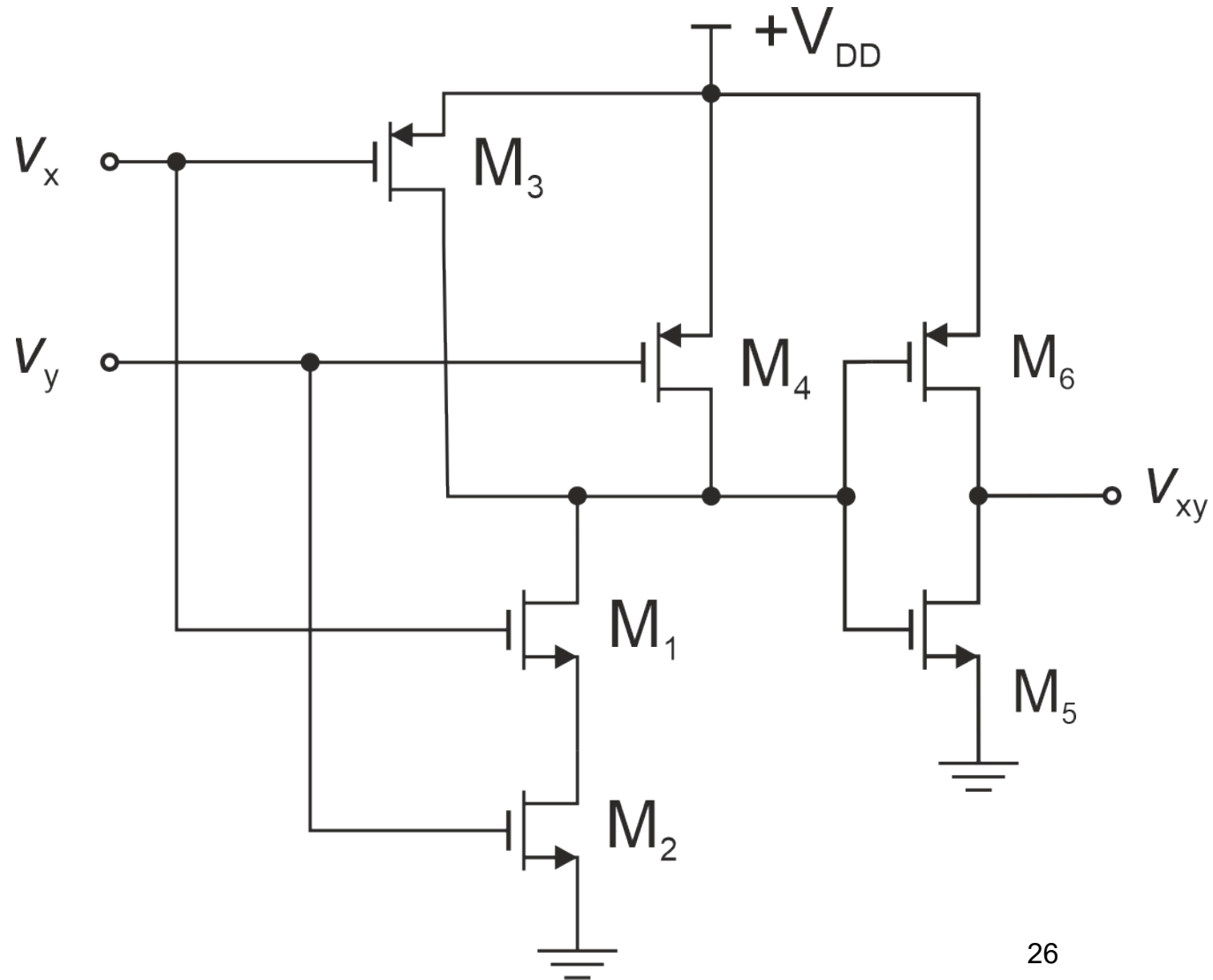


# CMOS AND



- Kolo je realizovano kao veza NAND kola ( $M_1$ ,  $M_2$ ,  $M_3$ ,  $M_4$ ) i invertora ( $M_5$  i  $M_6$ ).

# CMOS AND

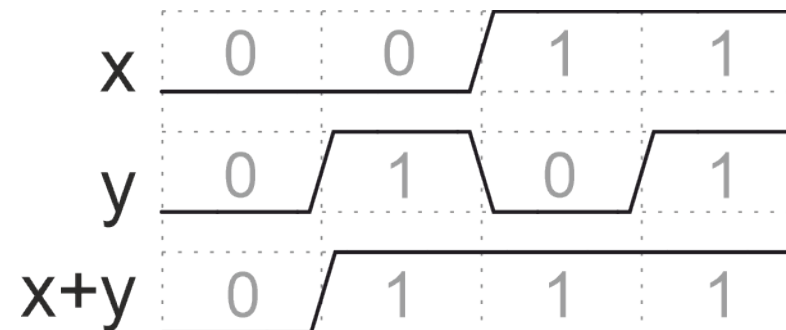
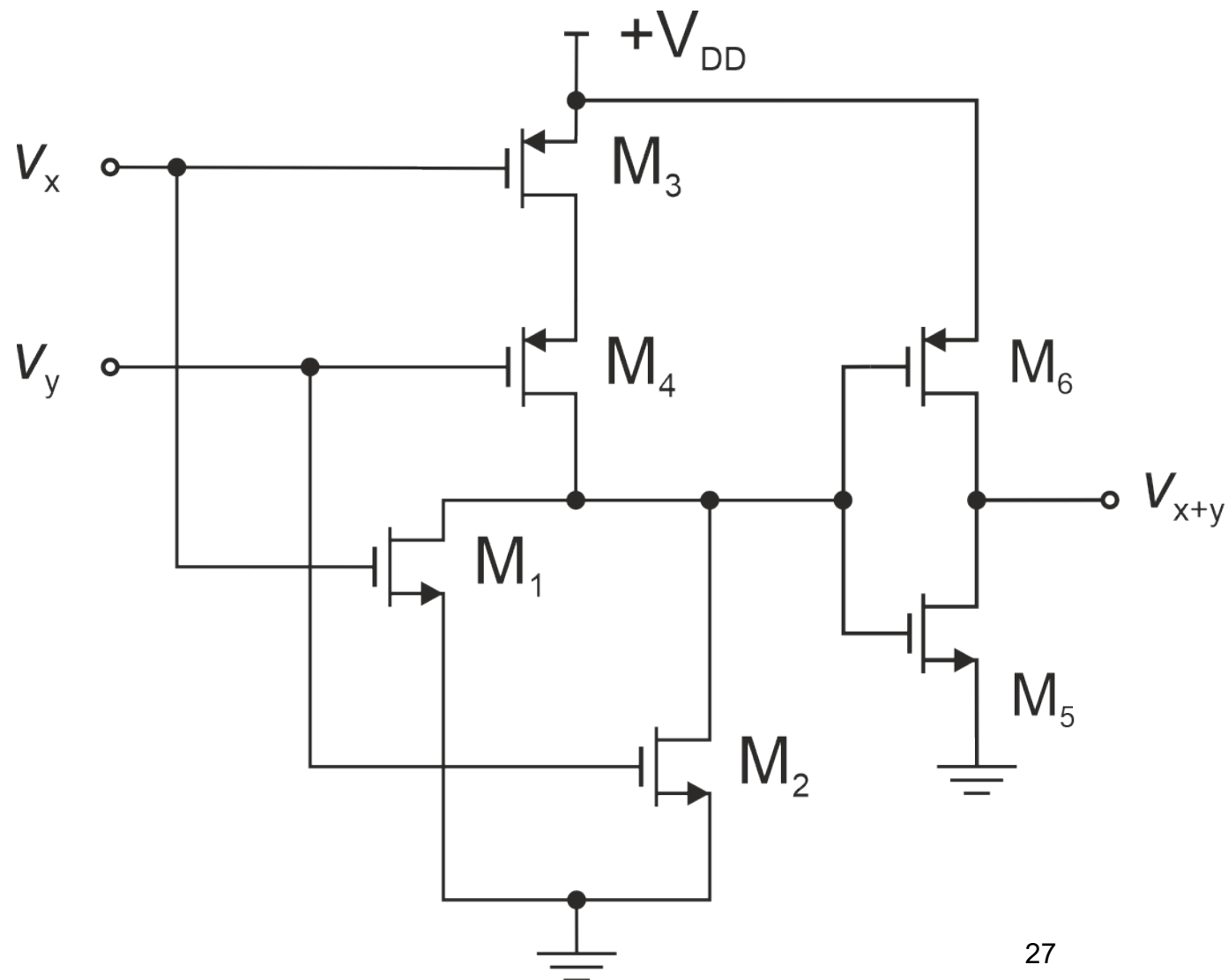


Simbol

$x$	$y$	$xy$
0	0	0
0	1	0
1	0	0
1	1	1

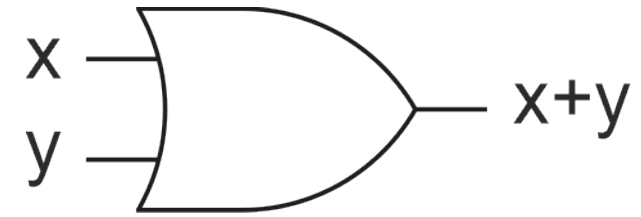
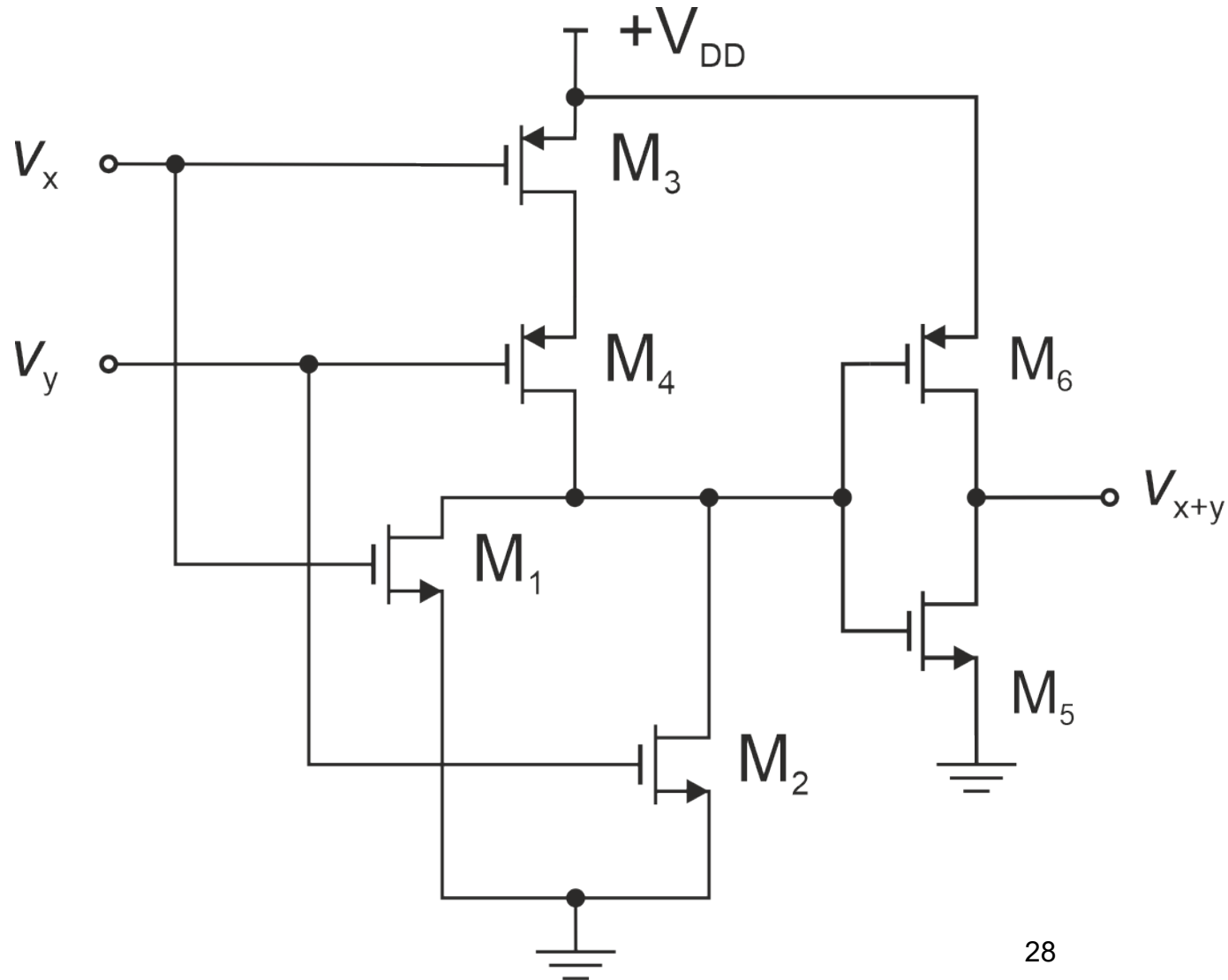
Tabela istinitosti

# CMOS OR



- Kolo je realizovano kao veza NOR kola ( $M_1$ ,  $M_2$ ,  $M_3$ ,  $M_4$ ) i invertora ( $M_5$  i  $M_6$ ).

# CMOS OR

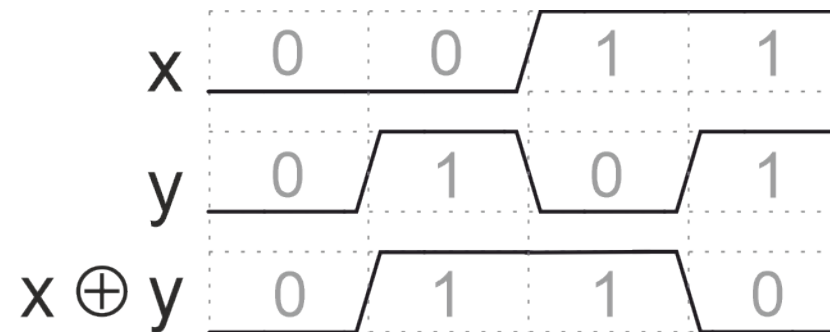
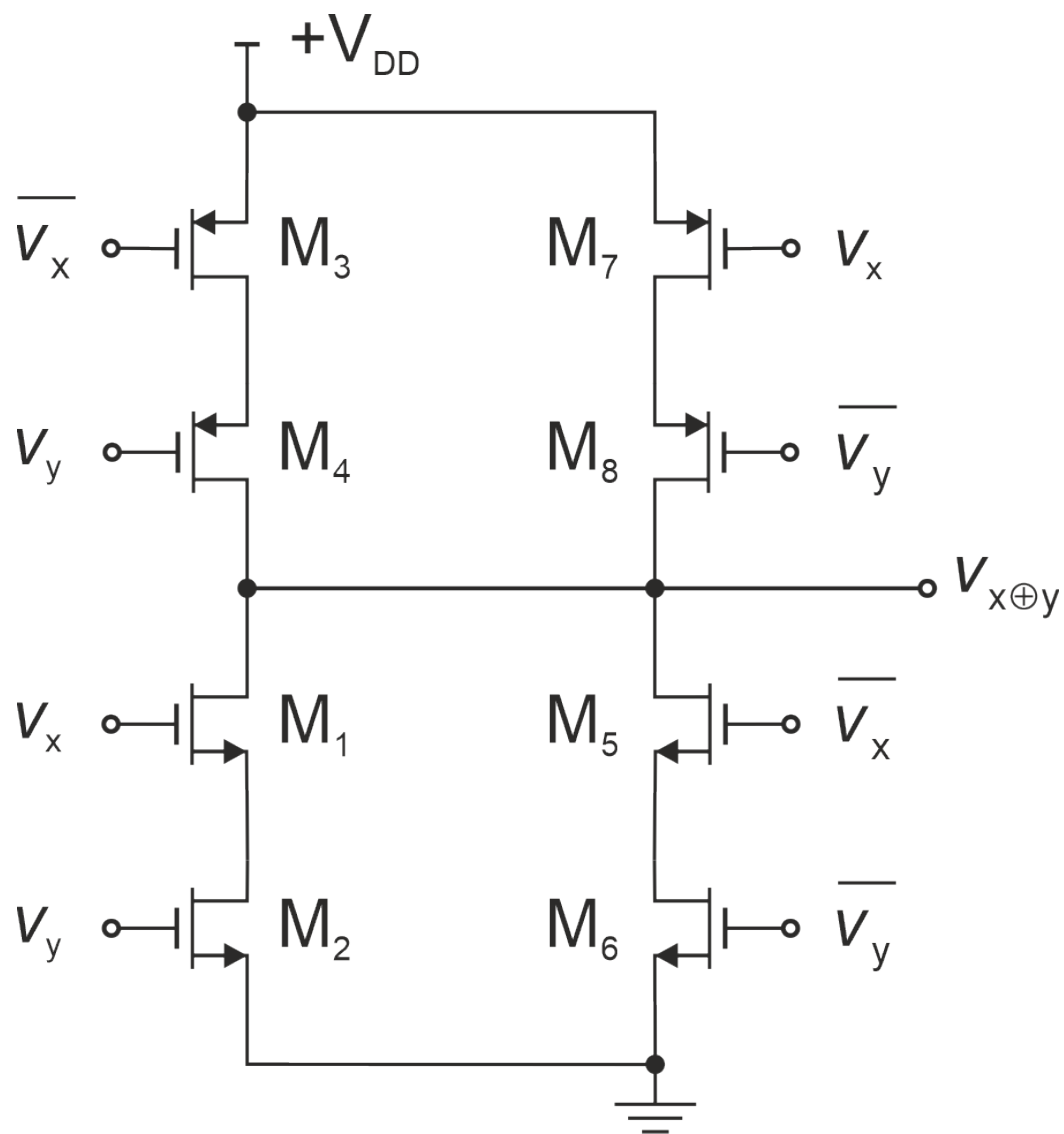


Simbol

x	y	x+y
0	0	0
0	1	1
1	0	1
1	1	1

Tabela istinitosti

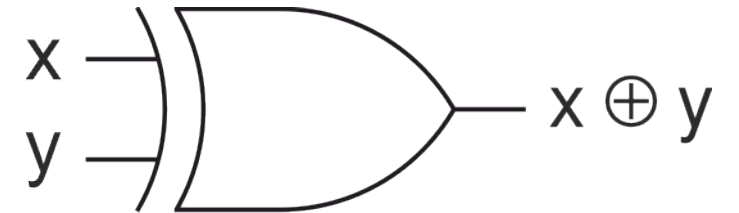
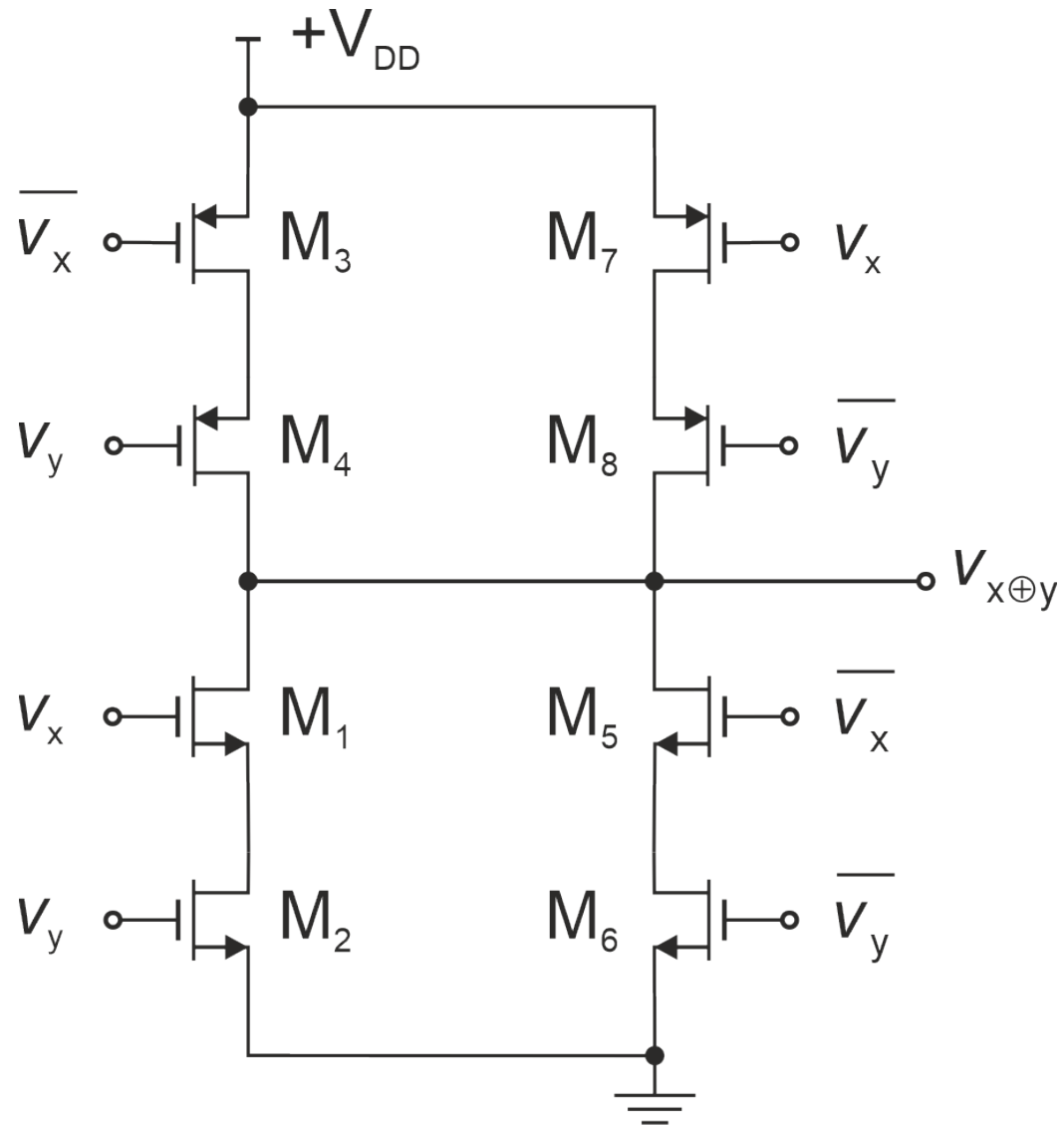
# CMOS XOR



zasićenje  $M_5, M_6$   $M_7, M_8$   $M_3, M_4$   $M_1, M_2$

- Za svaku kombinaciju  $x$  i  $y$  provodi samo jedan par tranzistora redno vezanih u grani.

# CMOS XOR



Simbol

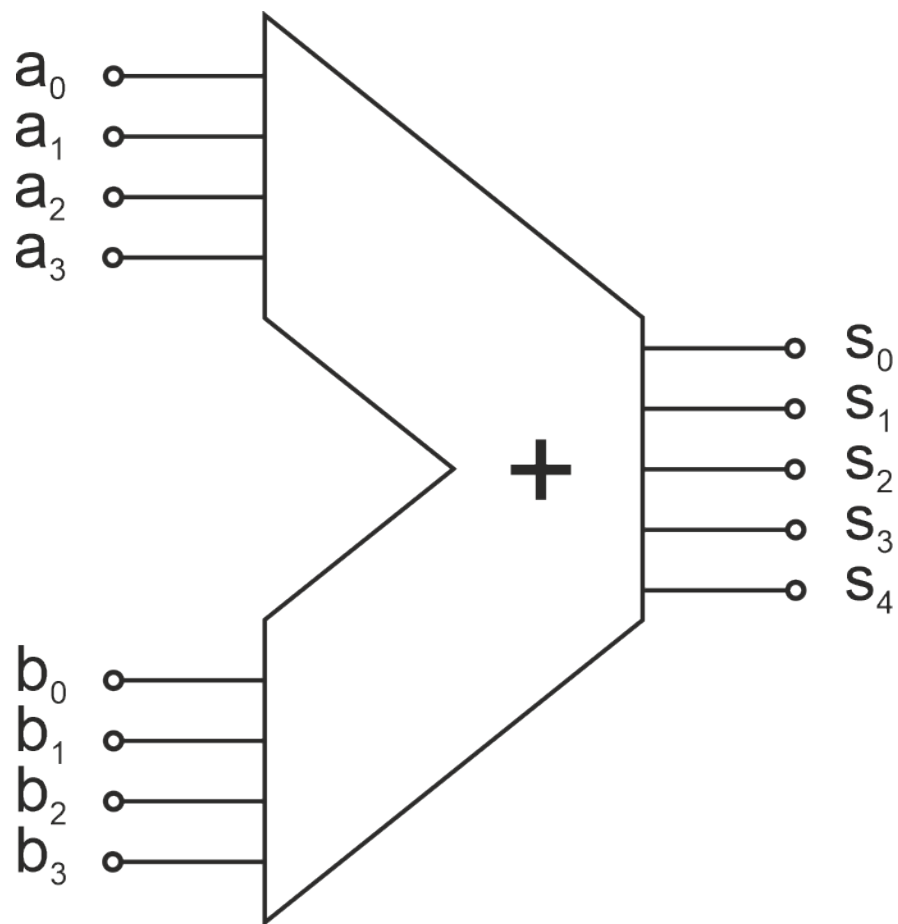
x	y	$x \oplus y$
0	0	0
0	1	1
1	0	1
1	1	0

Tabela istinitosti

# Logička sinteza digitalnih kola

- **Logička sinteza** je proces kojim se apstraktna specifikacija željenog ponašanja kola, implementira kao logičko kolo sastavljeno od elementarnih logičkih funkcija.
- Više različitih logičkih kola mogu odgovarati specificiranoj funkciji. Kolo sa najmanjim brojem elemenata se dobija postupkom **minimizacije**.
- Postoji veliki broj metoda za minimizaciju logičke funkcije, najpoznatiji klasični metodi su metod **Karnoovih (*Karnaugh*) mapa** i **Kvajn-Meklaskijev (*Quine–McCluskey*) algoritam**.
- Kompleksnost klasičnih postupaka minimizacije raste sa brojem argumenata logičke funkcije, tako da se složenija kola projektuju hijerarhijski.

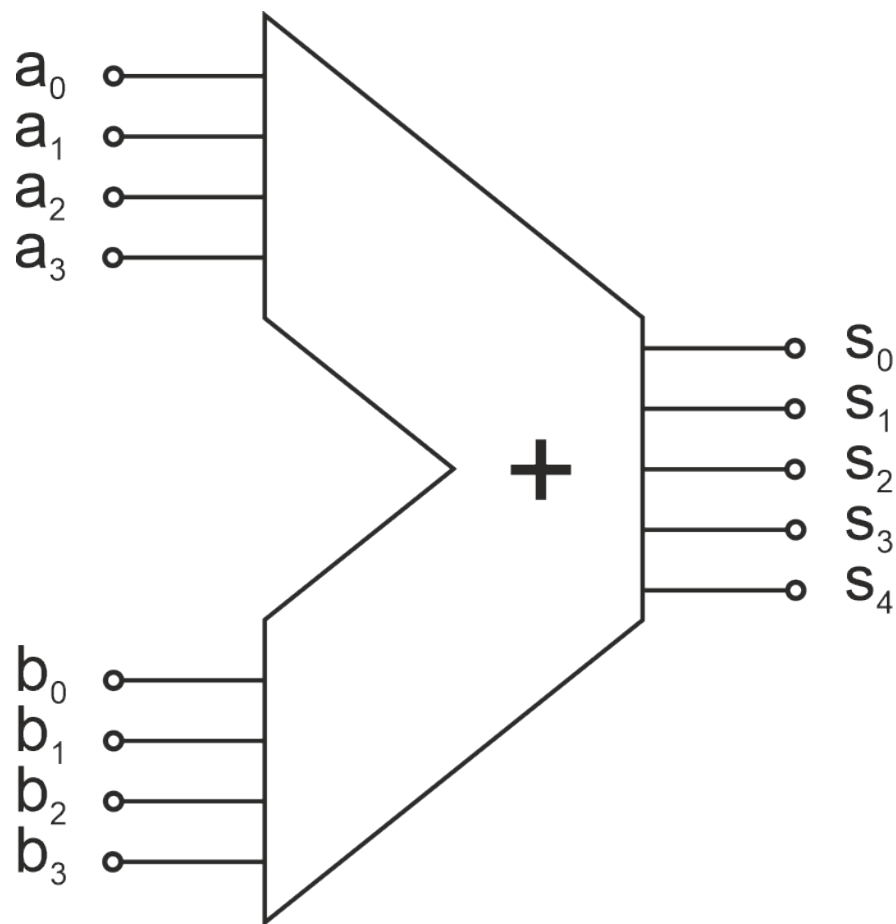
## Primer sinteze – 4-bitni sabirač



- **4-bitni sabirač** je digitalno kolo za sabiranje četvorobitnih brojeva **A** i **B**.
- U opštem slučaju, zbir **S** je 5-bitni broj.
- Realizacija kola se svodi na minimizaciju pet funkcija ( $s_0, \dots, s_4$ ) koje zavise od ukupno osam argumenata.
- Kolo je moguće jednostavnije realizovati razmatranjem postupka sabiranja brojeva i generalizacijom problema.



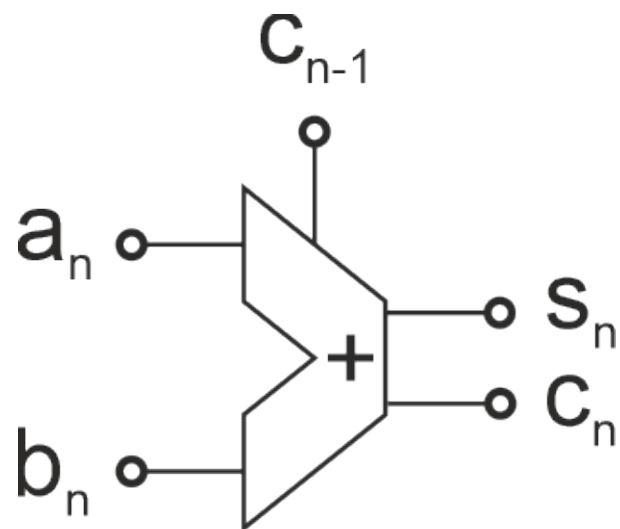
# Primer sinteze – 4-bitni sabirač



- Binarni brojevi se sabiraju prema istim pravilima kao i dekadni, sabiraju se cifre iste težine, a prenos se sabira sa zbirom cifara veće težine.

$c_3$	$c_2$	$c_1$	$c_0$	0
<hr/>				
0	$a_3$	$a_2$	$a_1$	$a_0$
0	$b_3$	$b_2$	$b_1$	$b_0$
<hr/>				
$s_4$	$s_3$	$s_2$	$s_1$	$s_0$

# Primer sinteze – 4-bitni sabirač

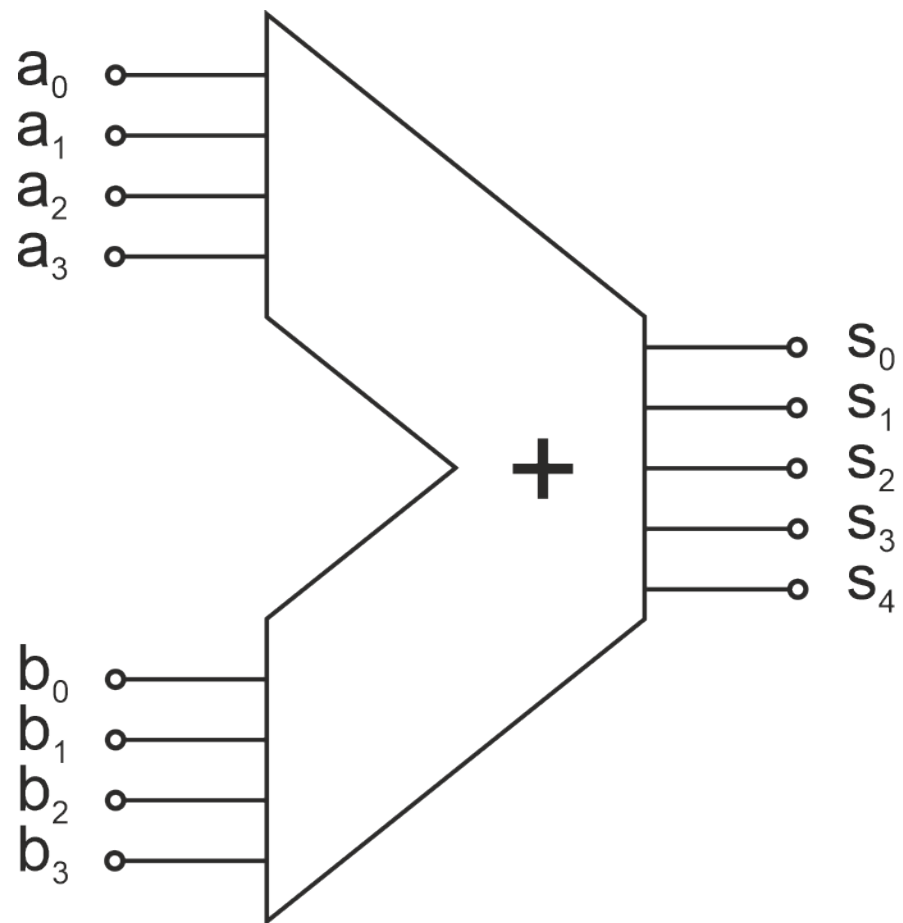


Potpuni sabirač

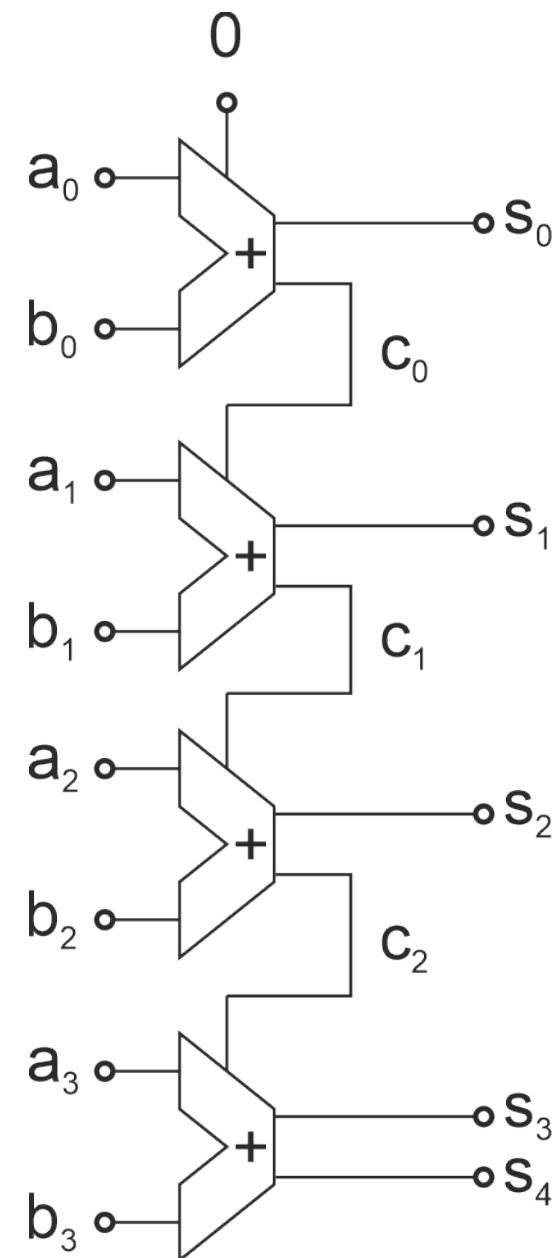
- 4-bitni sabirač se može realizovati nizom **potpunih sabirača** (*full adder*), sabirača koji sabiraju tri jednobitna broja: cifre  $a_n$ ,  $b_n$  i prenos  $C_{n-1}$ , pri čemu je rezultat zbir  $s_n$  i prenos  $C_n$ .

...	$C_n$	$C_{n-1}$	$C_{n-2}$	...
...	$a_{n+1}$	$a_n$	$a_{n-1}$	...
...	$b_{n+1}$	$b_n$	$b_{n-1}$	...
...	$s_{n+1}$	$s_n$	$s_{n-1}$	...

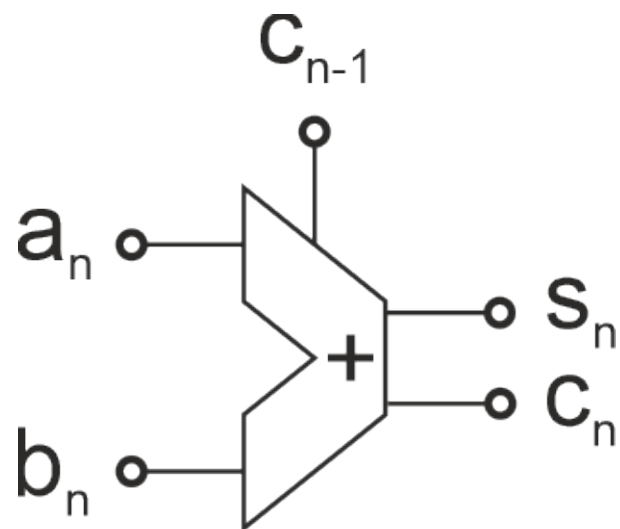
# Primer sinteze – 4-bitni sabirač



$c_3$	$c_2$	$c_1$	$c_0$	0
0	$a_3$	$a_2$	$a_1$	$a_0$
0	$b_3$	$b_2$	$b_1$	$b_0$
$s_4$	$s_3$	$s_2$	$s_1$	$s_0$



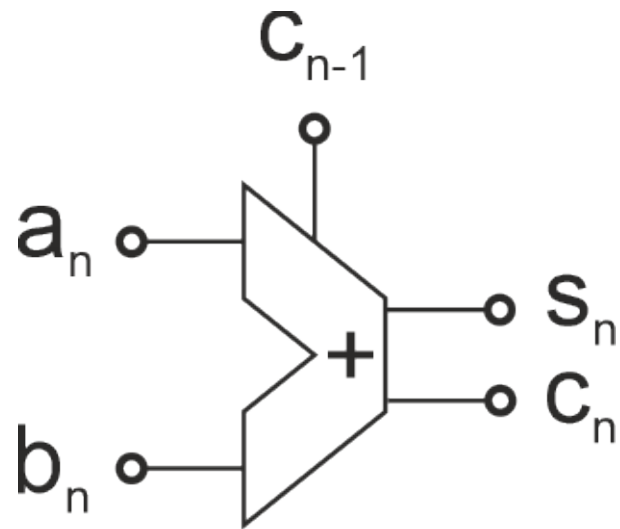
## Primer sinteze – 4-bitni sabirač



- **Potpuni sabirač** implementira dve funkcije ( $s_n$  i  $c_n$ ) od tri argumenta ( $a_n$ ,  $b_n$  i  $c_{n-1}$ ):

$a_n$	$b_n$	$c_{n-1}$	$s_n$	$c_n$
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

# Primer sinteze – 4-bitni sabirač



$c_{n-1}$	$a_n$	$b_n$	00	01	11	10
0			0	1	0	1
1			1	0	1	0

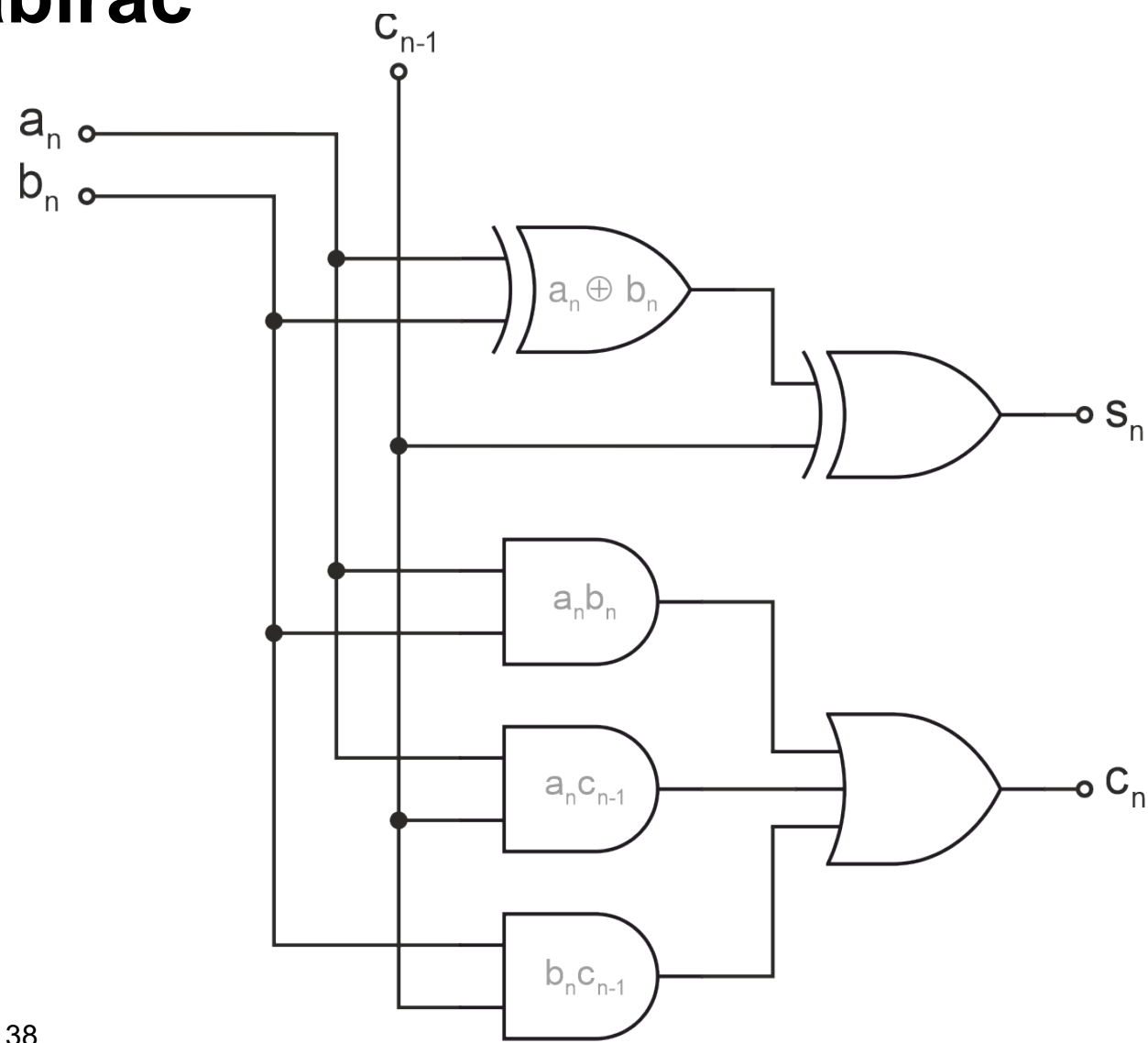
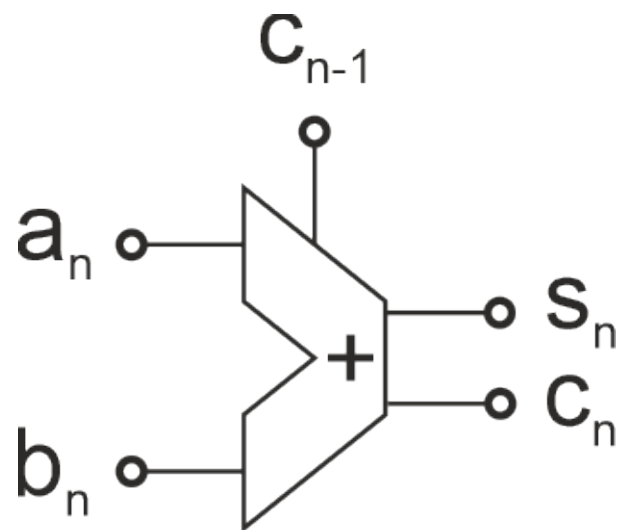
$$s_n = \bar{a}_n \bar{b}_n c_{n-1} + \bar{a}_n b_n \bar{c}_{n-1} + a_n b_n c_{n-1} + a_n \bar{b}_n \bar{c}_{n-1}$$

$$s_n = a_n \oplus b_n \oplus c_{n-1}$$

$c_{n-1}$	$a_n$	$b_n$	00	01	11	10
0			0	0	1	0
1			0	1	1	1

$$c_n = a_n b_n + a_n c_{n-1} + b_n c_{n-1}$$

# Primer sinteze – 4-bitni sabirač



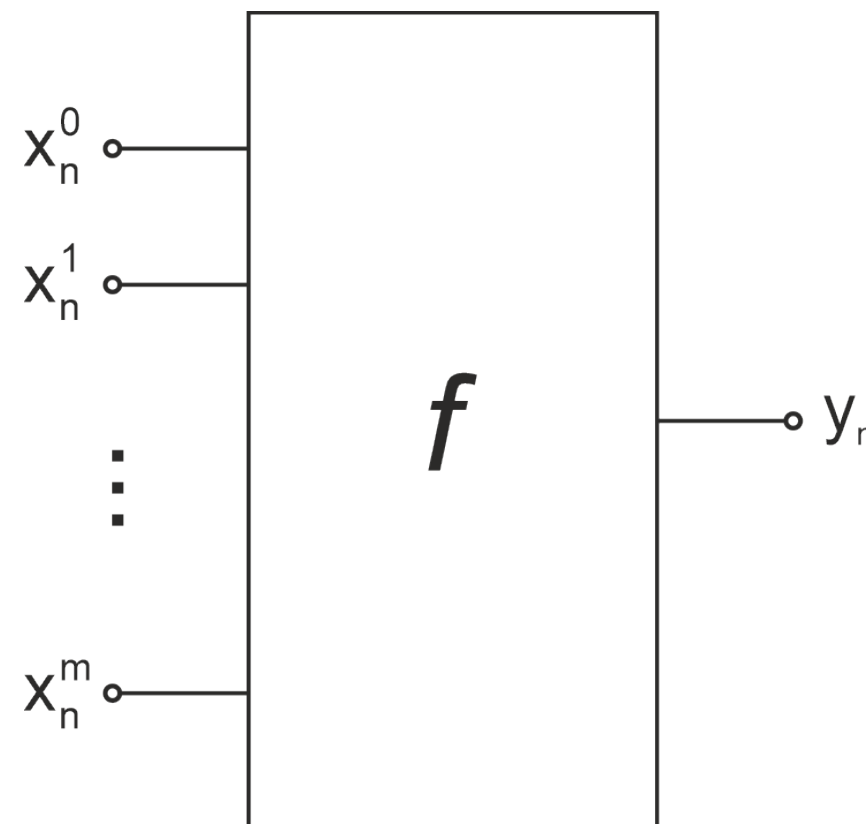
# Kombinaciona i sekvencijalna digitalna kola

- Digitalna kola koja nemaju povratnih sprega (nema zatvorenog puta između izlaza i ulaza istih ćelija) se nazivaju **kombinaciona kola**. Stanje kombinacionog kola **zavisi samo od trenutnih stanja signala** na ulazu kola. Ova kola nemaju memoriju.

$$y_n = f(x_n^0, x_n^1, \dots, x_n^m)$$

- Za razliku od kombinacionih, stanje **sekvencijalnih kola** zavisi od trenutnog i prethodnih nivoa signala (sekvence) na ulazu kola.

$$y_n = f(y_{n-1}, x_n^0, x_n^1, \dots, x_n^m)$$



# Sekvencijalna digitalnih kola

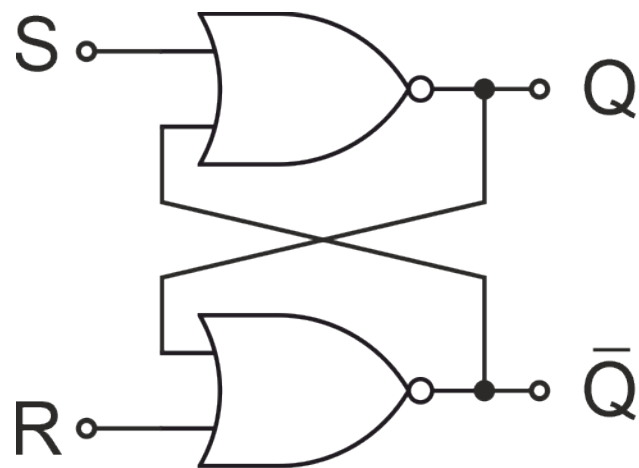
- Sekvencijalna logička kola se koriste za realizaciju hardverskih **konačnih automata** (*Finite State Machines* – FSM, sistema koji imaju konačan broj stanja i formalno definisane uslove prelaza iz jednog stanja u drugo), koji predstavljaju osnovu svakog složenog digitalnog sistema.
- Sekvencijalna kola mogu biti **asinhrona** i **sinhrona**. Asinhrona kola mogu menjati stanje u bilo kom trenutku kada dođe do promene nivoa signala na ulazu, dok je kod sinhronih kola to moguće samo u određenim vremenskim intervalima koje određuje promena nivoa posebnog signala, koji se naziva **takt** (*clock*).
- Osim logičkih ćelija, sekvencijalna logička kola sadrže i memorijske elemente – **leč kola** (*latch*, asinhrona kola) i **flip-flopove** (sinhrona kola).



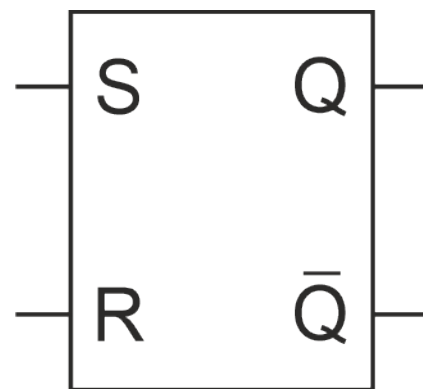
# SR leč

- Najjednostavniji leč je **SR leč**, koji predstavlja jednobitnu memoriju (registar). Kolo ima dva ulaza **S** i **R** i dva izlaza **Q** i **not Q**, koji moraju biti komplementarni. Uobičajeno je da se stanje leč kola izražava logičkom vrednošću na izlazu **Q**. Kada je **Q=1**, leč kolo *setovano*, dok je za **Q=0** leč kolo *resetovano*.
- Za sve vreme dok su signali na oba ulaza na nivou logičke nule (**S=R=0**) SR leč ostaje u jednom od dva stabilna stanja. **S=1, R=0** postavlja SR leč u setovano stanje, a **S=0, R=1** u resetovano stanje.
- Pošto se željeno stanje ostvaruje dovođenjem logičke jedinice na odgovarajući ulaz, kaže se da je **ulaz aktivan logičkom jedinicom**.
- **S=R=1** je nedozvoljeno stanje ulaznih signala. Ako se oba ulaza aktiviraju, oba izlaza će preći u stanje logičke nule. Ako se nakon toga na oba ulaza postave signali na nivou logičke nule, ne može se predvideti novo stanje kola.

# SR leč



Realizacija (NOR)

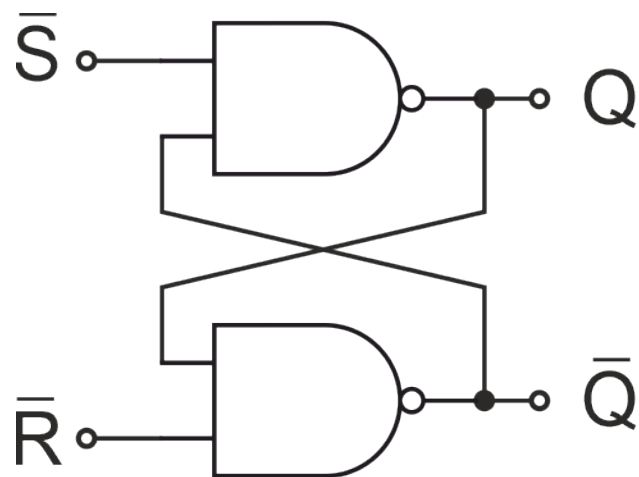


Simbol

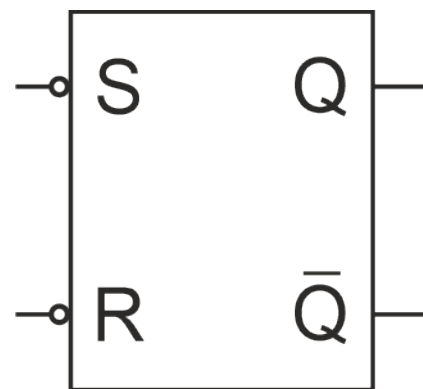
S	R	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	0	$Q_n$	$\bar{Q}_n$
0	1	0	1
1	0	1	0
1	1	0	0

Tabela istinitosti

# SR leč



Realizacija (NAND)



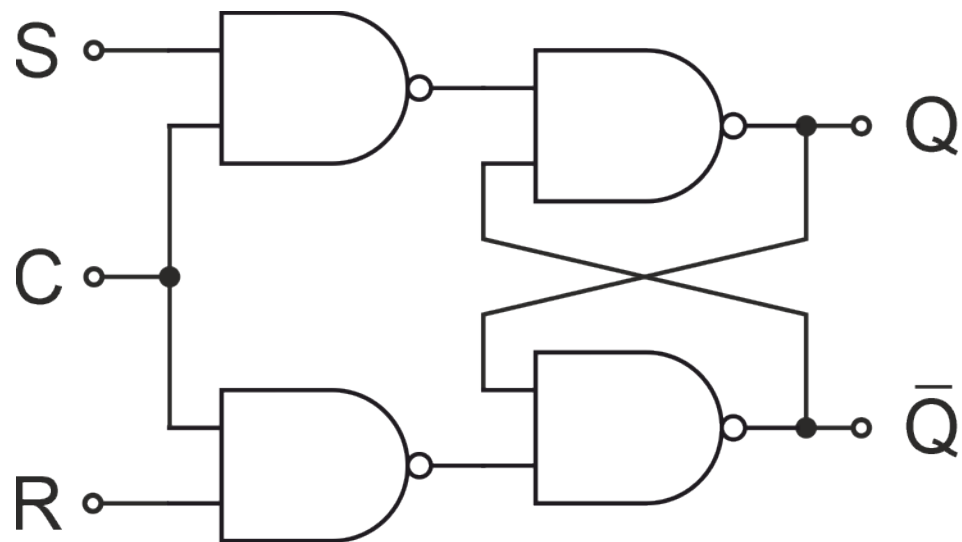
Simbol

$\bar{S}$	$\bar{R}$	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	0	1	1
0	1	1	0
1	0	0	1
1	1	$Q_n$	$\bar{Q}_n$

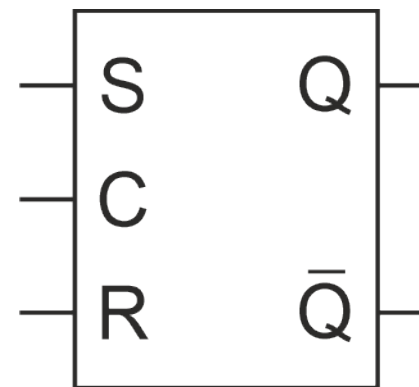
Tabela istinitosti

- Željeno stanje se ostvaruje dovođenjem logičke nule na odgovarajući ulaz, **ulazi su aktivni logičkom nulom.**

# SR leč sa signalom dozvole



Realizacija (NAND)



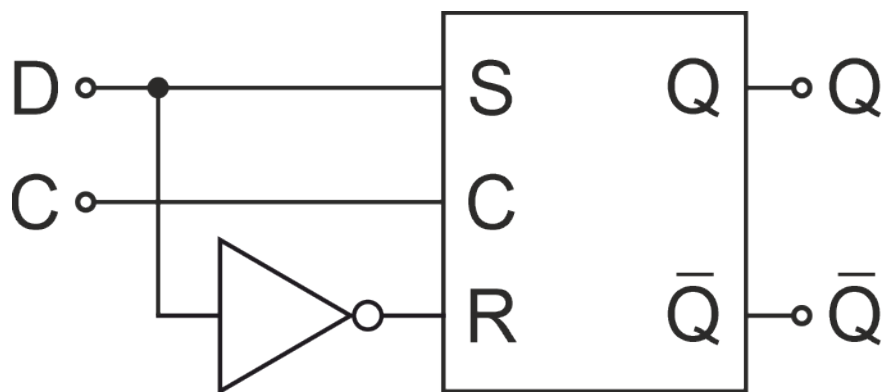
Simbol

C	S	R	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	0	0	$Q_n$	$\bar{Q}_n$
0	0	1	$Q_n$	$\bar{Q}_n$
0	1	0	$Q_n$	$\bar{Q}_n$
0	1	1	$Q_n$	$\bar{Q}_n$
1	0	0	$Q_n$	$\bar{Q}_n$
1	0	1	0	1
1	1	0	1	0
1	1	1	0	0

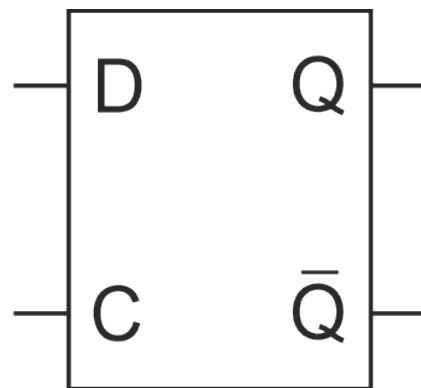
Tabela istinitosti

- Kolo menja stanje samo kada je signal dozvole **C** aktivan (**C=1**).

# D leč



Realizacija



Simbol

C	D	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	0	$Q_n$	$\bar{Q}_n$
0	1	$Q_n$	$\bar{Q}_n$
1	0	0	1
1	1	1	0

Tabela istinitosti

- D leč kolo se realizuje vezivanjem invertora između ulaza **S** i **R** SR leča sa signalom dozvole, čime se izbegava nedozvoljeno stanje signala na ulazu.

# Flip-flop

- Flip-flopovi su sinhrona sekvencijalna kola kod kojih je promena stanja moguća u samo određenim vremenskim trenucima, prilikom promene **logičkog nivoa taktnog signala**.
- Razlikuju se dve vrste flip-flopova: **flip-flopovi sa impulsnim okidanjem** (*Master-Slave*, MS) i **flip-flopovi sa ivičnim okidanjem**.
- MS flip-flopovi se okidaju **impulsom taktnog signala** (*clock*) koji, u zavisnosti od realizacije kola, može biti na nivou logičke jedinice ili nivou logičke nule.

# Flip-flop

- Prilikom okidanja MS flip-flopa **impulsom**, nivoi signala na ulazu određuju novo stanje kola, koje se uspostavlja sinhrono sa zadnjom ivicom impulsa (opadajuća ivica taktnog signala kod impulsa na nivou logičke jedinice, odnosno rastuća ivica taktnog signala kod impulsa na nivou logičke nule).
- Flip-flopovi sa ivičnim okidanjem se okidaju sinhrono sa jednom od ivica taktnog signala – **aktivnom ivicom**, koja može biti rastuća ili opadajuća. Novo stanje flip-flopa, određeno logičkim nivoima signala na ulazima kola, se uspostavlja istovremeno sa pojavom aktivne ivice impulsa takta.

# SR MS flip-flop

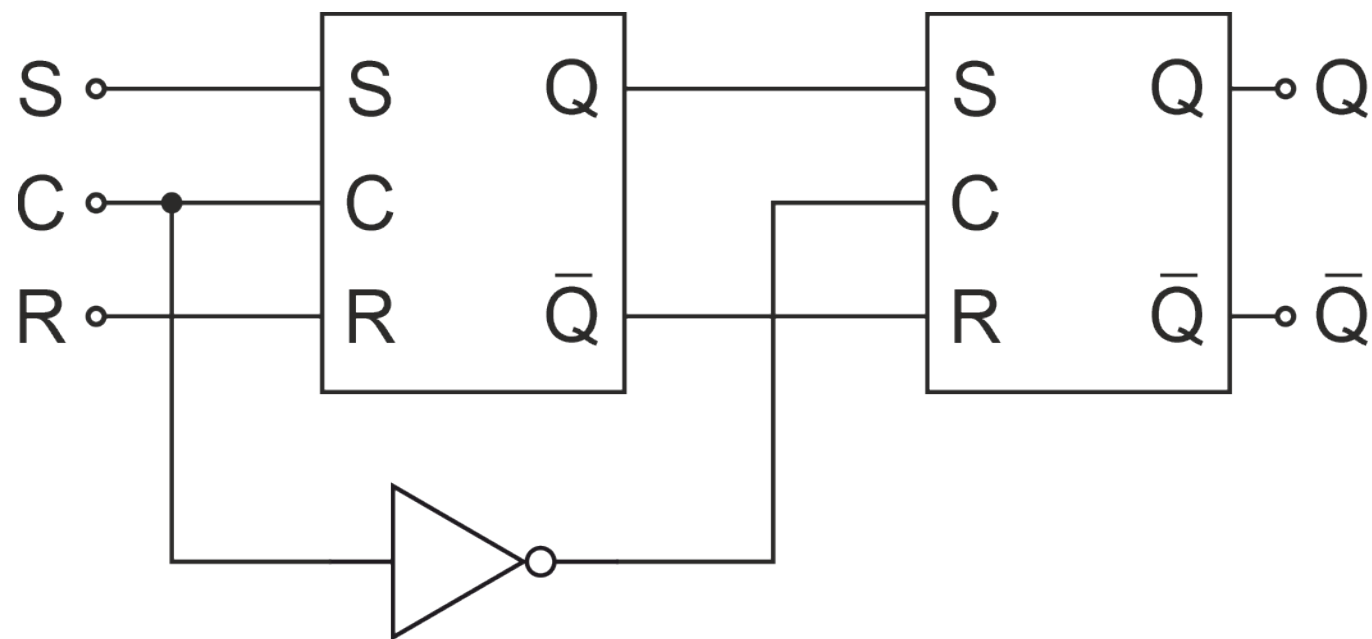
- SR MS flip-flop se realizuje pomoću dva SR leč kola sa signalima dozvole koji su uvek komplementarni. Okida se impulsom takta na nivou logičke jedinice koji se dovodi na ulaz **C**.
- Impuls takta dozvoljava upis u prvo leč kolo (master). Međutim, pošto je promena stanja drugog leč kola (slave) onemogućena, promena stanja ne može se preneti na izlaz flip-flopa. Nakon taktnog impulsa, stanje prvog kola se ne menja, a drugo postaje aktivno i preuzima stanje prvog kola.

S	R	C	$Q_{n+1}$	$\overline{Q}_{n+1}$
X	X	0	$Q_n$	$\overline{Q}_n$
0	0	⏏	$Q_n$	$\overline{Q}_n$
0	1	⏏	0	1
1	0	⏏	1	0
1	1	⏏	1	1

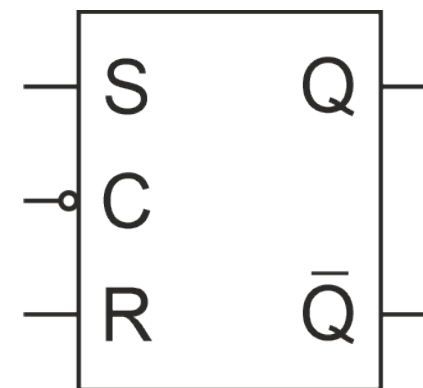
Tabela istinitosti



# SR MS flip-flop



Realizacija



Simbol

# Projektovanje digitalnih elektronskih kola

- Projektovanje digitalnih kola je proces kojim se apstraktna specifikacija željenog ponašanja kola, pretvara u **implementaciju na nivou logičkih ćelija (net-lista)**.
- Prilikom projektovanja složenih sistema, ovaj postupak se obično sprovodi pomoću računarskog programa koji se naziva **alat za sintezu**.
- Specifikacija projektovanog kola se zadaje u formalnim jezicima za opis hardvera, od kojih su najzastupljeniji VHDL (*Very High Speed IC Hardware Description Language*) i Verilog.
- Alati za sintezu generišu net-liste koje se koriste u procesu izrade integrisanih kola specifične namene (*Application Scephified Integrated Circuit, ASIC*) ili za realizaciju prototipova na FPGA (*Field Programming Gate Array*) platformama.